

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : **2 539 978**
(à n'utiliser que pour les commandes de reproduction)
②1 N° d'enregistrement national : **83 01466**
⑤1 Int Cl³ : A 61 B 5/02; H 03 K 5/00.

①2 **DEMANDE DE BREVET D'INVENTION**

A1

②2 Date de dépôt : 31 janvier 1983.

③0 Priorité

④3 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 31, du 3 août 1984.

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : *BEORUSSKY NAUCHNO-SSLEDOVATELSKY INSTITUT KARDIOLOGII.* — SU.

⑦2 Inventeur(s) : Georgy Ivanovich Sidorenko, Georgy Pavlovich Lopato, Vladimir Mikhailovich Yakubovich, Yaroslav Georgievich Nikitin, Oleg Ivanovich Usachev et Anatoly Pavlovich Vorobiev.

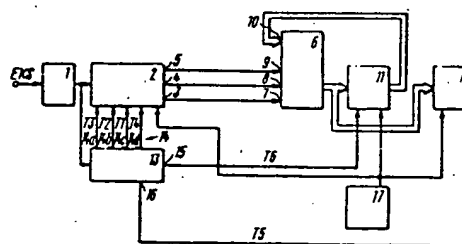
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Z. Weinstein.

⑤4 Appareil pour contrôler l'activité cardiaque.

⑤7 L'invention concerne les appareils utilisés en cardiologie. L'appareil de contrôle faisant l'objet de l'invention est caractérisé notamment en ce que l'unité d'affichage 12 affiche les différentes formes de perturbation du rythme cardiaque : les extrasystoles en cas d'extrasystolie groupée, les extrasystoles uniques, les blocages ordinaires, les blocages dangereux, les extrasystoles en cas de bigéminie, et le rythme normal, en fonction des différentes combinaisons de signaux apparaissent aux sorties du circuit logique 6.

L'invention peut être utilisée dans la pratique médicale notamment pour le contrôle intense de l'état du système cardiovasculaire en particulier en conditions de réanimation, de secours d'urgence, en pratique ambulatoire.



FR 2 539 978 - A1

La présente invention est relative aux dispositifs de diagnostic cardiologique et a notamment pour objet un appareil destiné au contrôle de l'activité cardiaque, capable de mesurer les intervalles temporels entre les ondes R correspondant aux contractions du coeur, d'analyser l'information ainsi obtenue, d'afficher l'apparition des contractions et d'effectuer enfin le comptage des dérangements de leur rythme.

L'invention peut être utilisée dans la pratique médicale notamment pour le contrôle intense de l'état du système cardio-vasculaire, en particulier en conditions de réanimation, de secours d'urgence, en pratique ambulatoire, au cours des essais aux efforts physiques ou de la réhabilitation, ainsi qu'en cas de surveillance du comportement de l'homme en conditions extrêmes (médecine de l'aviation, spatiale et sportive).

Annuellement, plus de 250 mille personnes meurent à la suite d'attaques cardiaques sans avoir le temps de recevoir les soins médicaux nécessaires. Il est évident que si elles pouvaient atteindre un hôpital pour y passer un traitement adéquat, la plupart de ces personnes seraient aujourd'hui encore vivantes. Or, le fait qu'elles n'ont pas pu être soignées à temps a pour cause principale l'incapacité évidente de l'homme de juger suffisamment vite s'il faut ou non recourir au médecin. Le retard dans la prise d'une décision s'explique par le fait que le malade ne peut pas contrôler comme il conviendrait la fréquence et le rythme des contractions de son coeur en raison de l'absence d'appareillages ad hoc.

Il a été constaté qu'avant le début d'une crise cardiaque, il se produit généralement une perturbation du rythme et de la fréquence des battements cardiaques, ces derniers étant caractérisés par un nombre important d'arythmies dangereuses ou par une allure irrégulière. Si l'on pouvait déceler à temps ces arythmies, il serait possible d'avoir une indication nette de la crise cardiaque à venir ou ayant eu lieu peu avant. En règle générale,

ces arythmies sont constituées par des contractions ventriculaires prématurées, telles que: extrasystoles, blocages, bradycardies et tachycardies.

De telles arythmies peuvent annoncer des états terminaux, à savoir une fibrillation ventriculaire et une asystolie.

Il faut remarquer que les arythmies mentionnées ont un rapport direct avec les intervalles de temps séparant les battements cardiaques. Quant à ceux-ci, ils peuvent être facilement déterminés en mesurant le temps entre les ondes R successives du cardiosignal, après quoi l'information obtenue sera traitée en vue d'avoir les données représentatives de l'un ou de plusieurs des symptômes précités.

L'application d'un appareil de contrôle de l'activité cardiaque permettrait d'intervenir à temps pour aider le malade, en réduisant ainsi le nombre de situations menaçantes éventuelles.

On connaît par exemple un appareil pour contrôler l'activité cardiaque, décrit dans le brevet américain N° 4 006 737, cet appareil comportant des circuits comparateurs dont des entrées sont alimentées en électrocardiosignal (ECS), et d'autres, en signaux de référence constants, notamment temporels et d'amplitude. Les sorties de ces circuits comparateurs sont reliées, par l'intermédiaire de circuits ET, à des dispositifs d'emmagasinage ayant leurs propres sorties connectées à des unités d'affichage.

Cet appareil n'assure la détection et l'accumulation que de perturbations du rythme cardiaque de deux types, à savoir les contractions ventriculaires prématurées et la tachycardie supraventriculaire. Il permet également d'enregistrer le dépassement des limites supérieure et inférieure prédéterminées de la fréquence des battements du coeur.

Malheureusement, l'appareil décrit ne possède que des possibilités diagnostiques médiocres du fait que la comparaison des paramètres temporels et d'amplitude de

l'ECS avec des références fixées implique l'impossibilité de tenir compte de la dynamique des variations normales de la fréquence des battements cardiaques dues aux charges physiques et émotionnelles, ce qui a pour conséquence

5 l'éventualité de conclusions erronées sur les perturbations du rythme cardiaque.

On connaît en outre un détecteur d'arythmies cardiaques (voir le brevet américain n° 3 861 387) comprenant un ensemble d'obtention de la première dérivée de l'ECS par

10 rapport au temps, un ensemble de mesure de l'amplitude des crêtes de la dérivée, un ensemble de moyennage des amplitudes de la dérivée de l'ECS pendant un certain laps de temps, un ensemble de mesure des intervalles temporels entre les crêtes du signal de dérivée, un ensemble de moyennage

15 des intervalles temporels entre les crêtes de la dérivée de l'ECS pendant un certain laps de temps, un circuit comparateur qui est déclenché au moment où l'amplitude de crête de la dérivée s'écarte de la valeur moyenne des amplitudes de $\pm 25\%$, un circuit comparateur fonctionnant lorsque l'inter-

20 valle de temps entre les crêtes du signal de dérivée s'écarte de la valeur moyenne des intervalles de $\pm 25\%$, et un ensemble de détection d'intermittences des contractions cardiaques, constitué d'un bloc de mesure des intervalles temporels entre les ondes R de l'ECG et d'un bloc qui enregistre une inter-

25 mittence des contractions lorsque l'intervalle en cours est 1,5 fois plus long que l'intervalle précédent.

Ce détecteur d'arythmies assure une détection plus sûre des dérangements du rythme cardiaque, tels que contractions ventriculaires anormales, perturbations du rythme accompa-

30 gnées d'un accroissement des intervalles RR, perturbations de la fréquence des battements cardiaques.

Toutefois, cet appareil ne permet pas de stocker les perturbations détectées de façon distincte, ni de les classer en groupes, et ne font qu'indiquer le fait même de

35 la présence de telles perturbations.

On connaît aussi un appareil de contrôle de l'activité

cardiaque, objet du brevet américain n° 3 633 569, qui comprend un ensemble d'amplification de l'ECS, un détecteur d'arythmies, un détecteur de bradycardies, un détecteur de tachycardies, un compteur totalisateur pour compter les perturbations décelées et une unité binaire d'affichage à seize positions.

Cet appareil assure la détection des arythmies en cas où la différence entre les durées des deux intervalles RR successifs dépasse une valeur de référence constante égale à 120 ms . De plus, il est capable de détecter tout phénomène de bradycardie ou de tachycardie si la fréquence des battements cardiaques sort des références supérieure et inférieure prescrites.

Ici encore, la comparaison simple de la différence des durées de deux intervalles successifs de l'ECS avec la valeur temporelle de référence constante (120 ms) ne traduit pas la dynamique des variations normales de la fréquence des battements cardiaques dans des conditions différentes. De ce fait, une bradycardie donnerait lieu à un nombre sensiblement accru de conclusions positives erronées, et une tachycardie, à un nombre excessif de conclusions faussement négatives sur l'existence d'une arythmie.

L'appareil n'assure pas non plus une subdivision des perturbations du rythme et de la fréquence des contractions du coeur en divers types, mais effectue seulement le comptage du nombre total de perturbations et affiche ce nombre en code binaire très difficilement lisible.

On connaît également un appareil de contrôle de l'activité cardiaque (voir le brevet américain n° 3 881 467) comportant un ensemble de séparation des ondes R de l'ECS, un ensemble de détermination des paramètres de l'ECS dont l'entrée est reliée à la sortie dudit ensemble de séparation des ondes R de l'ECS, une unité d'affichage dont les entrées sont associées aux sorties de l'ensemble mentionné de détermination des paramètres de l'ECS, et un circuit synchronisant dont l'entrée est reliée à la sortie de

l'ensemble de séparation des ondes R de l'ECS et dont la sortie est reliée à l'entrée de commande de l'ensemble de détermination des paramètres de l'ECS.

5 Ce dernier ensemble est appelé à conformer des signaux en fonction des résultats de la comparaison des durées d'intervalles entre les ondes R de l'ECS.

Au cours de cette opération, a lieu une comparaison de la durée du dernier intervalle RR_i apparu entre les ondes R avec celle de l'intervalle normal précédent RR_N

10 A noter que l'intervalle apparu en dernier ne deviendra "l'intervalle normal précédent" pour les comparaisons ultérieures que s'il est égal au moins à un pourcentage déterminé de l'intervalle normal qui l'a précédé.

Au cas où est réalisée l'inégalité

15
$$RR_i < 0,8 RR_N \quad (1)$$

on constate une extrasystole, alors que si

$$RR_i > 1,2 RR_N \quad (2)$$

c'est une intermittence des contractions qui est enregistrée.

En cas de détection d'une perturbation du rythme (les
20 inégalités (1) et (2) étant réalisées), on prend comme intervalle normal pour les comparaisons subséquentes l'intervalle entre les deuxième et troisième contractions cardiaques qui suivent la contraction perturbée. De même, on considère comme intervalle normal celui qui suit les
25 quatre intervalles successifs RR de plus grande largeur.

Cet appareil de contrôle de l'activité cardiaque permet en outre de déceler et de compter les extrasystoles.

Cependant, la comparaison de la durée de l'intervalle RR apparu en dernier avec celle de l'intervalle RR "normal"
30 conduit assez souvent à des conclusions erronées sur le nombre d'extrasystoles.

De plus, en portant un jugement sur les perturbations du rythme, on ne tient pas compte de l'information concernant le rapport des durées d'intervalles qui ont précédé
35 les intervalles analysés.

En conséquence, en cas d'accroissement de la fréquence

d'apparition d'extrasystoles, le nombre de contractions extrasystoliques du coeur sera déterminé de façon erronée.

En outre, certaines combinaisons des intervalles avec les interruptions dans les contractions peuvent donner lieu à l'enregistrement d'extrasystoles qui, en réalité, ne sont point survenues.

Enfin, l'appareil ne détecte et ne compte que des cas simples d'extrasystoles uniques, alors qu'il est insensible aux phénomènes dangereux éventuels tels que : bigéminies, extrasystoles groupées ou blocages.

On connaît aussi un appareil de contrôle de l'activité cardiaque, faisant l'objet du brevet américain n° 3 658 055, qui comprend un ensemble de séparation des ondes R de l'ECS et un ensemble de détermination des paramètres de l'ECS qui réagit au signal provenant de la sortie dudit ensemble de séparation des ondes R de l'ECS et fournit à sa première sortie un premier signal lorsque la valeur absolue de la différence entre la durée de l'intervalle apparu en dernier entre les ondes R de l'ECS et celle de l'intervalle précédent entre les ondes R de l'ECS est inférieure à un pourcentage déterminé de la durée de l'intervalle apparu en dernier entre les ondes R de l'ECS, et un second signal lorsque la valeur absolue de la différence entre la durée de l'intervalle apparu en dernier entre les ondes R de l'ECS et celle de l'intervalle précédent entre les ondes R de l'ECS est égale audit pourcentage déterminé de la durée de l'intervalle apparu en dernier entre les ondes R de l'ECS ou supérieure audit pourcentage déterminé de la durée de l'intervalle apparu en dernier entre les ondes R de l'ECS, ce même ensemble fournissant à sa deuxième sortie un premier signal quand la durée de l'intervalle apparu en dernier entre les ondes R de l'ECS est inférieure à la durée de l'intervalle précédent entre les ondes R de l'ECS, et un second signal, quand la durée de l'intervalle apparu en dernier entre les ondes R de l'ECS est égale à celle de l'intervalle précédent entre les ondes R de l'ECS ou supé-

rieure à la durée dudit intervalle précédent entre les ondes R de l'ECS. Aux sorties de l'ensemble mentionné de détermination des paramètres de l'ECS sont branchés des circuits logiques dont les sorties sont reliées aux entrées d'une mémoire et aux entrées d'une unité d'affichage qui compte et affiche les résultats détectés du contrôle de l'activité cardiaque.

La sortie dudit ensemble de séparation des ondes R de l'ECS est reliée à l'entrée d'un circuit synchronisant dont les sorties respectives sont reliées aux entrées de commande de l'ensemble de détermination des paramètres de l'ECS, de la mémoire et de l'unité d'affichage.

Au cas où $RR_n/RR_{n-1} > 1,2$ (où n et n-1 sont les numéros du cycle cardiaque apparu en dernier et de celui qui l'a précédé), il se forme un code RR_f . Par contre, si $RR_n/RR_{n-1} < 0,85$, c'est le code RR_s qui est formé. L'ensemble de ces codes est mémorisé pour plusieurs (quatre, par exemple) successions de cycles cardiaques, dont le nombre est déterminé par la perturbation décelée du rythme. En vue d'effectuer le diagnostic des perturbations du rythme cardiaque, l'information emmagasinée est analysée au moyen des circuits logiques selon des critères qui découlent de l'expérience acquise dans le diagnostic clinique. En cas où tous les symptômes correspondant à une arythmie déterminée sont présents en même temps, un circuit logique approprié entre en fonctionnement et forme un signal caractéristique de ce type d'arythmie.

De cette façon, en assurant le codage des intervalles RR, l'emmagasinage des codes durant plusieurs cycles cardiaques successifs et l'analyse logique des données obtenues, le dispositif permet le contrôle (diagnostic) de l'activité cardiaque.

Cependant, un tel diagnostic des perturbations du rythme cardiaque nécessite que le nombre d'intervalles RR à analyser soit au moins égal à trois.

En cas de diagnostic de types complexes d'arythmie,

tels que : bigéminie, extrasystoles groupées, etc., le nombre d'intervalles RR à analyser s'accroît considérablement. D'autre part, pour pouvoir diagnostiquer les perturbations du rythme cardiaque, il est nécessaire de traiter un volume d'information important, puisque le nombre de différentes combinaisons des codes formés, qui correspondent aux diverses maladies du cœur, devient alors très grand. Or, attendu que chacune de ces combinaisons est analysée par un circuit logique correspondant, le montage d'un tel dispositif de contrôle de l'activité cardiaque devient extrêmement encombrant, ce qui rend difficiles sa réalisation et son emploi.

La présente invention a donc pour but de créer un appareil pour contrôler l'activité cardiaque, qui assure une simplification d'un tel contrôle par réduction du volume des informations à traiter.

L'objectif ainsi posé est atteint grâce au fait que l'appareil pour contrôler l'activité cardiaque, comprenant un ensemble de séparation des ondes R de l'électrocardiosignal; un ensemble de détermination des paramètres de l'électrocardiosignal qui réagit au signal en provenance de la sortie dudit ensemble de séparation des ondes R de l'ECS et fournit à sa première sortie un premier signal lorsque la valeur absolue de la différence entre la durée du dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle entre les ondes R de l'ECS qui le précède immédiatement est inférieure à un pourcentage déterminé de la durée du dernier intervalle apparu entre les ondes R de l'ECS, et un second signal lorsque la valeur absolue de la différence entre la durée du dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle entre les ondes R de l'ECS qui le précède immédiatement est égale audit pourcentage déterminé de la durée du dernier intervalle apparu entre les ondes R de l'ECS ou supérieure à ce pourcentage déterminé de la durée du dernier intervalle apparu entre les ondes R de l'ECS, et à sa

deuxième sortie, un premier signal quand la durée du dernier intervalle apparu entre les ondes R de l'ECS est inférieure à celle de l'intervalle entre les ondes R de l'ECS qui le précède immédiatement, et un second

5 signal quand la durée du dernier intervalle apparu entre les ondes R de l'ECS est égale à celle de l'intervalle entre les ondes R de l'ECS qui le précède immédiatement ou supérieure à cette durée de l'intervalle immédiatement

10 précédent entre les ondes R de l'ECS, un circuit logique dont la première entrée est reliée à la première sortie dudit ensemble de détermination des paramètres de l'ECS et dont la seconde entrée est reliée à la deuxième sortie de cet ensemble de détermination des paramètres de l'ECS, une mémoire dont les entrées sont reliées aux sorties

15 dudit circuit logique, une unité d'affichage qui compte et affiche les résultats du contrôle de l'activité cardiaque, l'entrée de cette unité étant reliée à la sortie du circuit logique, et un circuit synchronisant dont l'entrée est reliée à la sortie dudit ensemble de séparation des ondes R

20 de l'ECS, une première sortie, à l'entrée de commande de la mémoire, une deuxième sortie, à l'entrée de commande de l'unité d'affichage, et une pluralité de sorties, aux entrées de commande de l'ensemble de détermination des paramètres de l'ECS, ledit appareil étant caractérisé, suivant

25 l'invention, en ce que ledit ensemble de détermination des paramètres de l'ECS est pourvu d'une troisième sortie à laquelle est formé un premier signal lorsque la différence entre la durée du dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle entre les ondes R de

30 l'ECS qui précède immédiatement l'intervalle précédant immédiatement ledit dernier intervalle apparu est inférieure à une valeur préétablie, et un second signal lorsque ladite différence entre la durée du dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle entre les

35 ondes R de l'ECS qui précède immédiatement l'intervalle précédant immédiatement le dernier intervalle apparu est

égale ou supérieure à ladite valeur préétablie, ledit circuit logique étant en outre doté d'une troisième entrée reliée à la troisième sortie de l'ensemble de détermination des paramètres de l'ECS et d'une pluralité d'entrées

5 reliées aux sorties de la mémoire, les entrées de remise à zéro de l'ensemble de détermination des paramètres de l'ECS, de la mémoire et de l'unité d'affichage étant reliées à un ensemble de remise à l'état initial, le circuit logique étant réalisé de telle sorte qu'il fournisse à ses sorties

10 une première combinaison de signaux lorsque sa première entrée est alimentée en second signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, tandis que sa deuxième entrée est alimentée en premier signal issu de la deuxième sortie dudit ensemble

15 de détermination des paramètres de l'ECS, et la mémoire contient le code enregistré correspondant à la première, à la troisième ou à la huitième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties la même première combinaison de signaux lorsque sa première

20 entrée est alimentée en premier signal en provenance de la première sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient le code correspondant à la première, à la troisième ou à la huitième combinaison de signaux de ce circuit logique, qu'il fournisse à ses sorties

25 une deuxième combinaison de signaux lorsque sa première entrée est alimentée en second signal depuis la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en second signal provenant de la deuxième sortie de l'ensemble de détermination

30 des paramètres de l'ECS, et la mémoire contient un code correspondant à la première, à la troisième ou à la huitième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties une troisième combinaison de signaux lorsque sa première entrée est alimentée

35 en second signal en provenance de la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en premier signal provenant

de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la septième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties une quatrième combinaison de signaux lorsque sa première entrée est alimentée en second signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en second signal à partir de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la sixième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties la même quatrième combinaison de signaux lorsque sa première entrée est alimentée en second signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en second signal provenant de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la septième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties une cinquième combinaison de signaux lorsque sa première entrée est alimentée en second signal en provenance de la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en second signal depuis la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la quatrième ou à la cinquième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties la cinquième combinaison de signaux lorsque sa première entrée est alimentée en premier signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la quatrième ou à la cinquième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties une sixième combinaison de signaux lorsque sa première entrée est alimentée en second signal en provenance de la première sortie de l'ensemble

de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en premier signal depuis la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la

5 quatrième ou à la cinquième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties une septième combinaison de signaux lorsque sa première entrée est alimentée en second signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa

10 deuxième entrée est alimentée en second signal provenant de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la deuxième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties la septième combinaison

15 de signaux lorsque sa première entrée est alimentée en premier signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la deuxième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties

20 cette même septième combinaison de signaux lorsque sa première entrée est alimentée en second signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en premier signal à partir de la deuxième sortie de l'ensemble de détermination des

25 paramètres de l'ECS, sa troisième entrée est alimentée en second signal provenant de la troisième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la deuxième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses

30 sorties la septième combinaison de signaux lorsque sa première entrée est alimentée en premier signal en provenance de la première sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la septième combinaison de signaux aux sorties de ce circuit

35 logique, qu'il fournisse à ses sorties la septième combinaison de signaux lorsque sa première entrée est alimentée en second signal provenant de la première sortie de l'ensemble

de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en premier signal provenant de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la sixième combinaison de signaux aux sorties de ce circuit logique, qu'il fournisse à ses sorties la même septième combinaison de signaux lorsque sa première entrée est alimentée en premier signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la sixième combinaison de signaux aux sorties de ce circuit logique, et qu'il fournisse à ses sorties une huitième combinaison de signaux lorsque sa première entrée est alimentée en second signal depuis la première sortie de l'ensemble de détermination des paramètres de l'ECS, sa deuxième entrée est alimentée en premier signal à partir de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, sa troisième entrée est alimentée en premier signal depuis la troisième sortie de l'ensemble de détermination des paramètres de l'ECS, et la mémoire contient un code correspondant à la deuxième combinaison de signaux aux sorties de ce circuit logique, alors que l'unité d'affichage est conçue de telle manière qu'elle puisse afficher les extrasystoles en cas d'extrasystolie groupée, les extrasystoles uniques, les blocages ordinaires, les blocages dangereux, les extrasystoles en cas de bigéminie, et le rythme normal, l'extrasystole en cas d'extrasystolie groupée étant affichée lorsqu'aux sorties dudit circuit logique est formée la première combinaison de signaux, l'extrasystole unique, lorsqu'aux sorties du circuit logique est formée la troisième combinaison de signaux, le blocage ordinaire lorsqu'aux sorties du circuit logique est formée la quatrième combinaison de signaux, le blocage dangereux lorsqu'aux sorties du circuit logique est formée la cinquième combinaison de signaux, l'extrasystole en cas de bigéminie lorsqu'aux sorties du circuit logique est formée la huitième combinaison de

signaux, et le rythme normal, lorsqu'aux sorties du circuit logique est formée la septième combinaison de signaux.

Dans l'appareil proposé, il se forme à la troisième
5 sortie de l'ensemble de détermination des paramètres de l'ECS, pendant chaque cycle d'analyse de l'ECS, des signaux obtenus à la suite de la comparaison de la différence entre la durée du dernier intervalle apparu (RR_i)
entre les ondes R de l'ECS et celle de l'intervalle RR_{i-2}
10 qui précède celui ayant lieu avant ledit dernier intervalle apparu, avec une valeur fixe préétablie, ce qui permet de faire la distinction entre la bigéminie, à laquelle l'intervalle qui suit l'extrasystole ne diffère pratiquement pas de celui qui précède l'intervalle extrasystolique,
15 et le retour à la norme après une extrasystolie unique ou groupée, lorsque l'intervalle succédant à la dernière extrasystole (pause compensatrice) est sensiblement plus long que celui qui précède l'intervalle ayant lieu avant cette dernière extrasystole.

20 Durant chaque cycle d'analyse de l'ECS, le circuit logique fournit à ses sorties des combinaisons de signaux en partant de l'analyse des signaux provenant des sorties de l'ensemble de détermination des paramètres de l'ECS, ainsi que de ceux qui arrivent des sorties de la mémoire.
25 Ceci permet de classer en groupes diverses perturbations du rythme cardiaque ou de porter un jugement préalable sur ce rythme, lequel jugement, quoique non affiché, permet de formuler ensuite, à un stade ultérieur de l'analyse, une conclusion définitive. Ce faisant, on caractérise le
30 rythme en partant des résultats de la comparaison du dernier intervalle apparu entre les ondes R de l'ECS avec un ou deux intervalles précédents, compte tenu de la conclusion sur le rythme cardiaque formulée pendant le stade précédent d'analyse de l'ECS et contenant l'information
35 sur le rythme qui a eu lieu avant l'analyse.

En conséquence, on n'analyse que trois paramètres informationnels, à savoir le rapport entre la durée du

dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle qui le précède, le rapport entre la durée du dernier intervalle apparu et celle de l'intervalle qui précède celui qui a lieu avant ledit dernier intervalle apparu, et la conclusion sur le rythme cardiaque obtenue pendant le stade précédent d'analyse de l'ECS. Comme cette dernière comporte, sous une forme succincte, l'information sur le rythme cardiaque avant l'analyse, la conclusion suivante sera évidemment formée sur la base de données suffisamment complètes concernant le rythme cardiaque, et ce, avec un volume relativement peu important de l'information à traiter.

L'introduction d'un ensemble de remise à l'état initial dans le montage de l'appareil proposé de contrôle de l'activité cardiaque permet de délivrer, à l'instant de déclenchement de l'appareil, un signal de remise à l'état initial, qui sera appliqué aux entrées de remise à zéro de l'ensemble de détermination des paramètres de l'ECS, de la mémoire et de l'unité d'affichage. A la réception dudit signal de remise à l'état initial, l'ensemble de détermination des paramètres de l'ECS et la mémoire sont mis en un état correspondant au rythme cardiaque normal, tandis que l'unité d'affichage se prépare à l'analyse de l'information y arrivant. Le signal de remise à l'état initial reste appliqué aux entrées de remise à zéro de l'ensemble de détermination des paramètres de l'ECS, de la mémoire et de l'unité d'affichage pendant le temps nécessaire à la formation d'au moins trois intervalles RR, pour que l'ensemble de détermination des paramètres de l'ECS puisse accumuler l'information dont on se servira pour l'analyse.

Il est utile que l'appareil pour contrôler l'activité cardiaque comporte en outre un ensemble de présélection des conditions initiales, susceptible d'être mis dans l'une quelconque de trois positions et ayant sa première entrée reliée à la première sortie de l'ensemble de détermination

des paramètres de l'ECS, sa deuxième entrée reliée à la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, son entrée de remise à zéro reliée à la sortie de l'ensemble de remise à l'état initial, sa
5 première sortie reliée à la première entrée du circuit logique et sa deuxième sortie reliée à la deuxième entrée du circuit logique, de sorte que, quand cet ensemble de présélection des conditions initiales est mis dans la première desdites trois positions, il fournit à sa première
10 sortie un signal identique au premier signal présent à la première sortie de l'ensemble de détermination des paramètres de l'ECS, et à sa deuxième sortie, un signal identique au premier signal à la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, si la
15 première entrée est attaquée par le premier signal en provenance de la première sortie de l'ensemble de détermination des paramètres de l'ECS et la deuxième entrée est attaquée par le premier signal provenant de la deuxième sortie de l'ensemble de détermination des paramètres de
20 l'ECS, ou si la première entrée est attaquée par le premier signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS et sa deuxième entrée est attaquée par le second signal en provenance de la deuxième sortie de l'ensemble de détermination des paramètres
25 de l'ECS, ou encore si sa première entrée est attaquée par le second signal depuis la première sortie de l'ensemble de détermination des paramètres de l'ECS et sa deuxième entrée est attaquée par le premier signal à partir de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et ce, jusqu'à l'instant où sa première
30 entrée est pour la première fois attaquée par le second signal depuis la première sortie de l'ensemble de détermination des paramètres de l'ECS et sa deuxième entrée est en même temps attaquée par le second signal en provenance de la deuxième sortie de l'ensemble de détermination
35 des paramètres de l'ECS, après quoi ledit ensemble de

présélection des conditions initiales formera à ses sorties des signaux analogues à ceux présents à ses entrées respectives, que quand cet ensemble de présélection des conditions initiales est mis dans la

5 deuxième desdites trois positions, il délivre à sa première sortie un signal identique au premier signal présent à la première sortie de l'ensemble de détermination des paramètres de l'ECS, et à sa deuxième

10 sortie, un signal identique au premier signal à la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, si sa première entrée est attaquée par le premier signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS et sa deuxième entrée est attaquée par le premier signal

15 en provenance de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, ou si sa première entrée est attaquée par le premier signal provenant de la première sortie de l'ensemble de détermination des paramètres de l'ECS et sa deuxième entrée est attaquée

20 par le second signal provenant de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, ou encore si sa première entrée est attaquée par le second signal depuis la première sortie de l'ensemble de détermination des paramètres de l'ECS et sa deuxième entrée

25 est attaquée par le second signal à partir de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, et ce, jusqu'à l'instant où sa première entrée sera pour la première fois attaquée par le second signal en provenance de la première sortie de l'ensemble de

30 détermination des paramètres de l'ECS et sa deuxième entrée sera simultanément attaquée par le premier signal provenant de la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, après quoi cet ensemble de présélection des conditions initiales fournira à ses

35 sorties des signaux analogues à ceux présents à ses entrées respectives, et que, quand il est mis dans la troisième desdites trois positions, l'ensemble de présélection des

conditions initiales délivre à ses sorties des signaux identiques à ceux présents à ses entrées.

L'introduction, dans le montage de l'appareil, d'un ensemble de présélection des conditions initiales permet d'éviter un fonctionnement erroné de l'appareil au début de l'analyse de l'ECS, après la mise en marche de cet appareil. En cas d'un rythme cardiaque perturbé, il peut apparaître, immédiatement après la mise en marche de l'appareil, un intervalle entre les ondes R de l'ECS qui aurait une durée anormale, comme dans les cas d'extrasystolie, de blocage ou de pause compensatrice. Dans un tel cas, en comparant la durée de l'intervalle anormal avec celle d'un intervalle suivant, on parviendra à des conclusions erronées sur le rythme cardiaque. Or, la présélection des conditions initiales permet de ne procéder à l'analyse du rythme cardiaque que dans des conditions strictement déterminées en évitant toute défaillance de l'appareil de contrôle de l'activité cardiaque, de sorte qu'une variation de la durée du dernier intervalle RR apparu par rapport à celle de l'intervalle RR précédent correspond à la nature du rythme cardiaque propre au sujet sous examen. Les conditions initiales en question sont imposées par le médecin en se basant sur les données préalablement obtenues, concernant le rythme cardiaque du patient (par l'interprétation de l'électrocardiogramme, l'observation de l'ECS sur l'écran d'un oscilloscope, etc.).

L'ensemble de présélection des conditions initiales est mis dans la première position en cas d'apparitions fréquentes d'intervalles RR de longueur excessive, correspondant aux interruptions des contractions ventriculaires. Dans ces conditions, l'analyse du rythme ne commence qu'au moment où apparaît un complexe de signes correspondant à l'accroissement du dernier intervalle RR apparu en comparaison de l'intervalle précédent.

On met cet ensemble dans la deuxième position en cas

d'apparitions fréquentes d'intervalles RR raccourcis correspondant à la bigéminie, aux extrasystoles groupées et aux extrasystoles uniques mais très fréquentes. Dans ce cas, l'analyse du rythme cardiaque part uniquement
5 après l'obtention de tout un complexe de signes caractéristiques du raccourcissement du dernier intervalle RR apparu par rapport à l'intervalle précédent.

L'ensemble est mis dans la troisième position quand le rythme cardiaque présente un caractère régulier
10 ou bien quand on constate, sur le fond d'un tel rythme correct, de brusques arythmies uniques, de sorte que la probabilité que l'analyse de l'ECS porte sur un intervalle RR modifié est assez faible. Avec cette réserve, on peut procéder à l'analyse du rythme immédiatement après la
15 mise en action de l'appareil.

Il est avantageux que le circuit logique comporte un premier circuit ET dont la première entrée est reliée à la première sortie de l'ensemble de détermination des paramètres de l'ECS et dont la seconde entrée est reliée à la deuxième
20 sortie dudit ensemble de détermination des paramètres de l'ECS, un deuxième circuit ET dont l'entrée non inverseuse est reliée à la première sortie de l'ensemble de détermination des paramètres de l'ECS, et dont l'entrée inverseuse est reliée à la deuxième sortie dudit
25 ensemble de détermination des paramètres de l'ECS, un circuit NON dont l'entrée est reliée à la première sortie de l'ensemble de détermination des paramètres de l'ECS, un troisième circuit ET dont la première entrée est reliée à la sortie du deuxième circuit ET, un quatrième circuit
30 ET dont la première entrée est reliée à la sortie du circuit NON, un cinquième circuit ET dont la première entrée est reliée à la sortie du premier circuit ET, un sixième circuit ET dont la première entrée est reliée à la sortie du deuxième circuit ET, un septième circuit ET dont la première entrée
35 est reliée à la sortie du deuxième circuit ET, un huitième circuit ET dont la première entrée est reliée à la sortie

du premier circuit ET, un neuvième circuit ET dont la première entrée est reliée à la sortie du premier circuit ET, un dixième circuit ET dont la première entrée est reliée à la sortie du premier circuit ET, un onzième
5 circuit ET dont la première entrée est reliée à la sortie du circuit NON, un douzième circuit ET dont la première entrée est reliée à la sortie du deuxième circuit ET, un treizième circuit ET dont la première entrée est reliée à la sortie du circuit NON, un quatorzième circuit ET
10 dont la première entrée est reliée à la sortie du premier circuit ET, un quinzième circuit ET dont la première entrée est reliée à la sortie du deuxième circuit ET, un seizième circuit ET dont la première entrée est reliée à la sortie du circuit NON, un dix-septième circuit ET dont la première
15 entrée est reliée à la sortie du circuit NON, un dix-huitième circuit ET dont l'entrée inverseuse est reliée à la troisième sortie de l'ensemble de détermination des paramètres de l'ECS et dont l'entrée non inverseuse est reliée à la sortie du sixième circuit ET, un dix-neuvième circuit
20 ET dont la première entrée est reliée à la troisième sortie de l'ensemble de détermination des paramètres de l'ECS et dont la seconde entrée est reliée à la sortie du sixième circuit ET, un premier circuit OU dont la première entrée est reliée à la sortie du troisième circuit ET et dont
25 la seconde entrée est reliée à la sortie du quatrième circuit ET, un deuxième circuit OU dont la première entrée est reliée à la sortie du huitième circuit ET et dont la seconde entrée est reliée à la sortie du neuvième circuit ET, un troisième circuit OU dont la première entrée est
30 reliée à la sortie du dixième circuit ET et dont la seconde entrée est reliée à la sortie du onzième circuit ET, un quatrième circuit OU dont la première entrée est reliée à la sortie du treizième circuit ET, la seconde entrée, à la sortie du quatorzième circuit ET, la troisième entrée,
35 à la sortie du quinzième circuit ET, la quatrième entrée, à la sortie du seizième circuit ET, la cinquième entrée,

à la sortie du dix-septième circuit ET, et la sixième
entrée, à la sortie du dix-neuvième circuit ET, que la
mémoire comporte un premier circuit OU dont la première
entrée est reliée à la sortie du premier circuit OU du
5 circuit logique, la deuxième entrée, à la sortie du sept-
ième circuit ET du circuit logique, et la troisième
entrée, à la sortie du dix-huitième circuit ET du circuit
logique, un deuxième circuit OU dont la première entrée
est reliée à la sortie du deuxième circuit OU du circuit
10 logique, et la seconde entrée, à la sortie du troisième circuit
OU du circuit logique, une première bascule dont l'entrée d'informa-
tion est reliée à la sortie du premier circuit OU de la mémoire, tan-
dis que son entrée de synchronisation est reliée à la première sortie du
circuit synchronisant, son entrée de remise à zéro, à la sortie de l'en-
15 semble de remise à l'état initial, et sa sortie, aux secondes
entrées des troisième, quatrième et cinquième circuits ET
du circuit logique, une deuxième bascule dont l'entrée
d'information est reliée à la sortie du cinquième circuit
ET du circuit logique, tandis que son entrée de synchroni-
20 sation est reliée à la première sortie du circuit synchro-
nisant, son entrée de remise à zéro, à la sortie de l'en-
semble de remise à l'état initial, et sa sortie, aux
secondes entrées des sixième, treizième et quatorzième
circuits ET du circuit logique, une troisième bascule
25 dont l'entrée d'information est reliée à la sortie du
deuxième circuit OU de la mémoire, tandis que son entrée
de synchronisation est reliée à la première sortie
du circuit synchronisant, son entrée de remise à zéro, à
la sortie de l'ensemble de remise à l'état initial, et
30 sa sortie, aux secondes entrées des dixième, onzième et
douzième circuits ET du circuit logique, une quatrième
bascule dont l'entrée d'information est reliée à la sortie
du douzième circuit ET du circuit logique, tandis que son
entrée de synchronisation est reliée à la première sortie
35 du circuit synchronisant, son entrée de remise à zéro, à
la sortie de l'ensemble de remise à l'état initial et sa

sortie, aux secondes entrées des huitième, quinzième et
seizième circuits ET du circuit logique, et une cinquième
bascule dont l'entrée d'information est reliée à la
sortie du quatrième circuit OU du circuit logique, tandis
5 que son entrée de synchronisation est reliée à la première
sortie du circuit synchronisant, son entrée de mise à
l'état, à la sortie de l'ensemble de remise à l'état
initial, et sa sortie, aux secondes entrées des septième,
neuvième et dix-septième circuits ET du circuit logique,
10 et que l'unité d'affichage comporte un premier circuit
ET dont la première entrée est reliée à la sortie du
quatrième circuit OU du circuit logique, et la seconde
entrée, à la deuxième sortie du circuit synchronisant,
un deuxième circuit ET dont la première entrée est reliée
15 à la sortie du premier circuit OU du circuit logique, et
la seconde entrée, à la deuxième sortie du circuit synchro-
nisant, un troisième circuit ET dont la première entrée
est reliée à la sortie du septième circuit ET du circuit
logique, et la seconde entrée, à la deuxième sortie du
20 circuit synchronisant, un quatrième circuit ET dont la
première entrée est reliée à la sortie du deuxième circuit
OU du circuit logique, et la seconde entrée, à la troisième
sortie du circuit synchronisant, un cinquième circuit ET
dont la première entrée est reliée à la sortie du troisième
25 circuit OU du circuit logique, et la seconde entrée, à la
deuxième sortie du circuit synchronisant, un sixième
circuit ET dont la première entrée est reliée à la sortie
du dix-huitième circuit ET du circuit logique, et la
seconde entrée, à la deuxième sortie du circuit synchro-
30 nisant, un premier compteur dont l'entrée de comptage
est reliée à la sortie du deuxième circuit ET de l'unité
d'affichage, et l'entrée de remise à zéro, à la sortie
de l'ensemble de remise à l'état initial, un deuxième
compteur dont l'entrée de comptage est reliée à la sortie
35 du troisième circuit ET de l'unité d'affichage, et l'entrée
de remise à zéro, à la sortie de l'ensemble de remise à

l'état initial, un troisième compteur dont l'entrée de comptage est reliée à la sortie du quatrième circuit ET de l'unité d'affichage, et l'entrée de remise à zéro, à la sortie de l'ensemble de remise à l'état initial, un quatrième compteur dont l'entrée de comptage est reliée à la sortie du cinquième circuit ET de l'unité d'affichage, et l'entrée de remise à zéro, à la sortie de l'ensemble de remise à l'état initial, un cinquième compteur dont l'entrée de comptage est reliée à la sortie du sixième circuit ET de l'unité d'affichage, et l'entrée de remise à zéro, à la sortie de l'ensemble de remise à l'état initial, un premier bloc de commande d'indicateur, dont l'entrée est reliée à la sortie du premier circuit ET de l'unité d'affichage, un deuxième bloc de commande d'indicateur, dont les entrées sont reliées aux sorties du premier compteur, un troisième bloc de commande d'indicateur, dont les entrées sont reliées aux sorties du deuxième compteur, un quatrième bloc de commande d'indicateur, dont les entrées sont reliées aux sorties du troisième compteur, un cinquième bloc de commande d'indicateur, dont les entrées sont reliées aux sorties du quatrième compteur, un sixième bloc de commande d'indicateur, dont les entrées sont reliées aux sorties du cinquième compteur, un premier indicateur affichant le rythme normal, dont l'entrée est reliée à la sortie du premier bloc de commande d'indicateur, un deuxième indicateur pour afficher le nombre d'extrasystoles en cas d'extrasystolie groupée, dont les entrées sont reliées aux sorties du deuxième bloc de commande d'indicateur, un troisième indicateur pour afficher le nombre d'extrasystoles uniques, dont les entrées sont reliées aux sorties du troisième bloc de commande d'indicateur, un quatrième indicateur pour afficher le nombre de blocages, dont les entrées sont reliées aux sorties du quatrième bloc de commande d'indicateur, un cinquième indicateur pour afficher le nombre de blocages dangereux, dont les

entrées sont reliées aux sorties du cinquième bloc de commande d'indicateur, et un sixième indicateur pour afficher le nombre d'extrasystoles en cas de bigéminies, dont les entrées sont reliées aux sorties du sixième bloc de commande d'indicateur.

Il est également avantageux que l'ensemble de présélection des conditions initiales comprenne un premier circuit OU EXCLUSIF dont la première entrée constitue la première entrée dudit ensemble de présélection des conditions initiales, un deuxième circuit OU EXCLUSIF dont la première entrée constitue la deuxième entrée de l'ensemble de présélection des conditions initiales, un circuit OU-NON dont les première et seconde entrées sont respectivement reliées aux sorties des premier et deuxième circuits OU EXCLUSIF, un circuit NON dont l'entrée est réunie à la seconde entrée du premier circuit OU EXCLUSIF, un circuit OU dont la première entrée est reliée à la sortie dudit circuit OU-NON et dont la seconde entrée est reliée à la sortie dudit circuit NON, un premier circuit ET dont la première entrée est reliée à la première entrée du premier circuit OU EXCLUSIF, sa seconde entrée, à la sortie du circuit OU, et dont la sortie constitue la première sortie de l'ensemble de présélection des conditions initiales, un deuxième circuit ET dont la première entrée est reliée à la première entrée du deuxième circuit OU EXCLUSIF, sa seconde entrée, à la sortie du circuit OU, et dont la sortie constitue la deuxième sortie de l'ensemble de présélection des conditions initiales, une bascule dont l'entrée de mise à l'état est reliée à la sortie du circuit OU, tandis que son entrée de remise à zéro est reliée à la sortie de l'ensemble de remise à l'état initial, et la sortie, à la troisième entrée du circuit OU, et un commutateur pour appliquer, dans sa première position, à la seconde entrée du premier circuit OU EXCLUSIF un signal identique au second signal présent à la première sortie de l'ensemble de détermination des paramètres de l'ECS et à la seconde entrée

du deuxième circuit OU EXCLUSIF, un signal identique au second signal à la deuxième sortie de l'ensemble de détermination des paramètres de l'ECS, pour appliquer dans sa deuxième position, à la seconde entrée du premier circuit
5 OU EXCLUSIF, un signal identique au second signal présent à la première sortie de l'ensemble de détermination des paramètres de l'ECS et à la seconde entrée du deuxième circuit OU EXCLUSIF, un signal identique au premier signal présent à la deuxième sortie de l'ensemble de détermination
10 des paramètres de l'ECS, et pour appliquer, dans sa troisième position, à l'entrée du circuit NON, un signal identique au premier signal à la première sortie de l'ensemble de détermination des paramètres de l'ECS.

Il est avantageux que l'appareil pour contrôler l'activité cardiaque comporte en outre un univibrateur dont
15 l'entrée est reliée à la troisième entrée de commande du circuit synchronisant et dont la sortie est reliée à la deuxième entrée dudit circuit synchronisant, un générateur d'impulsions dont l'entrée de déclenchement est reliée à la
20 troisième entrée de circuit synchronisant, l'entrée d'arrêt, à la sortie dudit univibrateur, et la sortie, à la deuxième entrée d'information de l'ensemble de détermination des paramètres de l'ECS, une bascule dont l'entrée d'information est reliée à la quatrième sortie de l'ensemble de détermination
25 des paramètres de l'ECS, tandis que ses entrées de mise à l'état et de synchronisation sont reliées à deux sorties, parmi la pluralité de sorties du circuit synchronisant, connectées aux entrées de commande de l'ensemble de détermination des paramètres de l'ECS, la sortie inversée de cette bascule étant reliée à la seconde entrée de mise
30 à zéro de la mémoire, et sa sortie directe, à l'entrée d'autorisation de l'affichage de l'unité d'affichage, et un indicateur de panne dont l'entrée est reliée à la sortie inversée de la bascule.

35 L'introduction, dans le montage de l'appareil pour contrôler l'activité cardiaque, d'un univibrateur, d'un

générateur d'impulsions, d'une bascule et d'un indicateur de panne permet d'effectuer un contrôle automatique du fonctionnement des ensembles principaux de l'appareil, c'est-à-dire de l'ensemble de séparation des ondes R de l'ECS, de l'ensemble de détermination des paramètres de l'ECS et du circuit synchronisant, c'est-à-dire des ensembles dont dépend la mesure et la comparaison correctes des paramètres temporels de l'ECS. Ce contrôle est réalisé après chaque cycle d'analyse du rythme des contractions cardiaques par voie de formation d'une arythmie de vérification dont la détection permet de confirmer le bon état des ensembles principaux de l'appareil. En cas de non-détection de ladite arythmie de vérification, un signal de défaut est formé et affiché, on enregistre dans la mémoire une combinaison de signaux correspondant au rythme cardiaque normal, et l'analyse ultérieure du rythme s'effectue en se référant à cette combinaison.

L'invention sera mieux comprise et d'autres buts, détails et avantages de celle-ci apparaîtront mieux à la lumière de la description explicative qui va suivre de différents modes de réalisation donnés uniquement à titre d'exemples non limitatifs, avec références aux dessins non limitatifs annexés dans lesquels :

- la figure 1 représente le schéma synoptique de l'appareil pour contrôler l'activité cardiaque, conforme à un mode de réalisation de l'invention;

- la figure 2 représente le schéma synoptique de l'appareil pour contrôler l'activité cardiaque, conforme à un autre mode de réalisation;

- la figure 3 montre le schéma synoptique de l'ensemble de détermination des paramètres de l'ECS conformément à la variante préférée de réalisation de l'invention;

- la figure 4 montre le schéma synoptique du circuit logique réalisé suivant la variante de réalisation préférée;

- la figure 5 est un schéma synoptique de la mémoire conforme à la variante préférée de réalisation de l'invention;

- la figure 6 représente le schéma synoptique de l'unité d'affichage conçue selon la variante de réalisation préférée;

5 - la figure 7 est un schéma synoptique de l'ensemble de présélection des conditions initiales, conforme à la variante de réalisation préférée;

- la figure 8 représente le schéma synoptique de l'appareil pour contrôler l'activité cardiaque, réalisé en conformité avec encore un autre mode de réalisation
10 de l'invention;

- les figures 9a à 9e illustrent les diagrammes temporels de variation des signaux aux sorties de divers ensembles en fonction du temps;

- la figure 10 est un tableau illustrant le changement
15 d'état des bascules de la mémoire en fonction des signaux logiques présents sur les lignes de l'ensemble de détermination des paramètres de l'ECS; et

- les figures 11a à 11f sont des exemples d'électrocardiosignaux (ECS) illustrant le fonctionnement de l'appareil.
20

L'appareil proposé pour contrôler l'activité cardiaque d'êtres humains en partant de l'électrocardiosignal comprend un ensemble 1 (figure 1) de séparation des ondes R de l'ECS ayant une entrée et une sortie, un ensemble 2 de
25 détermination des paramètres de l'ECS muni d'une entrée d'information, d'une pluralité d'entrées de commande, d'une entrée de mise à zéro, d'une sortie 3, d'une sortie 4 et d'une sortie 5, un circuit logique 6 avec des entrées 7, 8, 9, une pluralité d'entrées 10 et une pluralité de sorties,
30 une mémoire 11 dotée d'une pluralité d'entrées d'information, d'une entrée de commande, d'une entrée de mise à zéro et d'une pluralité de sorties, une unité d'affichage 12 ayant une pluralité d'entrées d'information, une entrée de commande et une entrée de mise à zéro, un circuit synchroni-
35 sant 13 pourvu d'une entrée, d'une pluralité 14 de sorties de commande constituée par des sorties 14a, 14b, 14c, 14d et

de sorties de commande 15, 16, et un ensemble 17 de remise à l'état initial, ayant une sortie.

Dans cet appareil, l'entrée de l'ensemble 1 de séparation des ondes R de l'ECS est reliée à un élément sensible constitué par exemple par les électrodes (non représentées) servant au relevé de l'électrocardiogramme du sujet. La sortie de cet ensemble 1 de séparation des ondes R de l'ECS est reliée à l'entrée d'information de l'ensemble 2 de détermination des paramètres de l'ECS et à l'entrée du circuit synchronisant 13. Les entrées de la pluralité d'entrées de commande de l'ensemble 2 de détermination des paramètres de l'ECS sont reliées aux sorties respectives de la pluralité 14 de sorties de commande du circuit synchronisant 13. L'entrée de mise à zéro de l'ensemble 2 de détermination des paramètres de l'ECS est connectée à la sortie de l'ensemble 17 de remise à l'état initial. La sortie 3 de l'ensemble 2 de détermination des paramètres de l'ECS est reliée à l'entrée 7 du circuit logique 6. La sortie 4 de l'ensemble 2 de détermination des paramètres de l'ECS est reliée à l'entrée 8 du circuit logique 6. La sortie 5 de l'ensemble 2 de détermination des paramètres de l'ECS est reliée à l'entrée 9 du circuit logique 6.

Les sorties de la pluralité de sorties du circuit logique 6 sont reliées aux entrées respectives constituant la pluralité d'entrées d'information de la mémoire 11 et à celles de la pluralité d'entrées d'information de l'unité d'affichage 12. Les sorties de la pluralité de sorties de la mémoire 11 sont reliées aux entrées respectives de la pluralité 10 d'entrées du circuit logique 6. L'entrée de commande de la mémoire 11 est reliée à la sortie de commande 15 du circuit synchronisant 13. L'entrée de mise à zéro de cette mémoire 11 est reliée à la sortie de l'ensemble 17 de remise à l'état initial.

L'entrée de commande de l'unité d'affichage 12 est reliée à la sortie 16 du circuit synchronisant 13, alors

que l'entrée de mise à zéro de cette même unité d'affichage 12 est branchée sur la sortie de l'ensemble 17 de remise à l'état initial.

La figure 2 représente le schéma synoptique de l'appareil 5 pour contrôler l'activité cardiaque en partant d'un électrocardiosignal, dans lequel on a introduit, afin d'exclure toute possibilité de fonctionnement erroné de l'appareil au stade initial d'analyse de l'ECS, un ensemble 18 de présélection des conditions initiales, ayant des entrées d'in- 10 formation 19 et 20, une entrée de mise à zéro et des sorties 21 et 22. Dans ce montage, la sortie 3 de l'ensemble 2 de détermination des paramètres de l'ECS est reliée à l'entrée d'information 19 dudit ensemble 18 de présélection des conditions initiales, la sortie 4 de cet ensemble 2 de détermi- 15 nation des paramètres de l'ECS est reliée à l'entrée d'information 20 dudit ensemble 18 de présélection des conditions initiales, la sortie 21 de ce dernier est reliée à l'entrée 7 du circuit logique 6, sa sortie 22, à l'entrée 8 dudit circuit logique 6, et son entrée de mise à zéro, à 20 la sortie de l'ensemble 17 de remise à l'état initial.

L'ensemble 2 de détermination des paramètres de l'ECS comporte un générateur d'impulsions 23 (figure 3), un diviseur de fréquence 24 à rapport de division égal à 5, des compteurs 25, 26 et 27, un compteur réversible 28, des registres 29, 30 et 31, un registre à décalage 32, des conformateurs de 25 ligne 33, 34, 35, 36, 37 et 38, un comparateur 41 et des bascules 42, 43 et 44.

L'entrée du générateur d'impulsions 23 constitue celle de l'ensemble 2 de détermination des paramètres de l'ECS 30 et est reliée à la sortie de l'ensemble 1 de séparation des ondes R de l'ECS. La sortie du générateur 23 est raccordée à l'entrée du diviseur 24, à l'entrée de comptage du compteur 26, à l'entrée de comptage du compteur 27 et à l'entrée de compte à rebours du compteur réversible 28. La sortie du 35 diviseur 24 est reliée à l'entrée de comptage du compteur 25. Les entrées de remise à zéro des compteurs 25, 26 et

27 sont reliées à la sortie 14a faisant partie de la pluralité de sorties 14 du circuit synchronisant 13.

L'entrée de commande d'enregistrement du compteur réversible 28 est reliée à la sortie 14b faisant partie de la pluralité de sortie 14 du circuit synchronisant 13.

Les sorties de la pluralité de sorties du compteur 25 sont reliées aux entrées respectives de la pluralité d'entrées d'information du registre 29. Les sorties de la pluralité de sorties du compteur 26 sont reliées aux entrées respectives de la pluralité d'entrées d'information du registre 30. Les sorties de la pluralité de sorties du compteur 27 sont reliées aux entrées respectives de la pluralité d'entrées d'information du registre à décalage 32 et à celles de la pluralité d'entrées d'information du compteur réversible 28. Les sorties de la pluralité de sorties du compteur réversible 28 sont reliées aux entrées respectives de la pluralité d'entrées d'information du registre 31. Les entrées d'enregistrement des registres 29, 30, 31 et l'entrée de décalage du registre à décalage 32 sont reliées à la sortie 14c faisant partie de la pluralité 14 de sorties de commande du circuit synchronisant 13.

Les sorties de la pluralité de sorties du registre 29 sont reliées aux entrées respectives de la pluralité d'entrées d'information du conformateur de ligne 33.

Les sorties de la pluralité de sorties du registre 30 sont reliées aux entrées respectives de la pluralité d'entrées d'information du conformateur de ligne 34.

Les sorties de la première pluralité de sorties du registre à décalage 32 sont reliées aux entrées respectives de la pluralité d'entrées d'information du conformateur de ligne 35.

Les sorties de la deuxième pluralité de sorties du registre à décalage 32 sont reliées aux entrées respectives de la pluralité d'entrées d'information du conformateur de ligne 35.

mateur de ligne 36.

Les sorties de la troisième pluralité de sorties du registre à décalage 32 sont reliées aux entrées respectives de la pluralité d'entrées d'information du conformateur de
5 ligne 37.

Les sorties de la pluralité de sorties du registre 31 sont reliées aux entrées respectives de la pluralité d'entrées d'information du conformateur de ligne 38.

Les entrées de commande des conformateurs de ligne 33
10 et 38 sont reliées à la sortie 14b faisant partie de la pluralité 14 de sorties de commande du circuit synchronisant 13.

Les entrées de commande des conformateurs de ligne 35 et 36 sont reliées à la sortie 14c faisant partie de la même
15 pluralité 14 de sorties de commande du circuit synchronisant 13.

Les entrées de commande des conformateurs de ligne 34 et 37 sont reliées à la sortie 14d de cette même pluralité 14 de sorties de commande du circuit synchronisant 13.

20 Les sorties des pluralités de sorties des conformateurs de ligne 33, 34 et 35 sont réunies en une barre commune 39. De même, les sorties des pluralités de sorties des conformateurs de ligne 36, 37 et 38 sont associées en une barre commune 40.

25 Les sorties de la barre 39 sont reliées aux entrées respectives de la première pluralité d'entrées d'information du comparateur 41, tandis que les sorties de la barre 40 sont connectées aux entrées respectives de la deuxième pluralité d'entrées d'information dudit comparateur 41.

30 La sortie de ce dernier est branchée sur les entrées d'information des bascules 42, 43 et 44. L'entrée de synchronisation de la bascule 42 est reliée à la sortie 14b de la pluralité 14 de sorties de commande du circuit synchronisant 13, l'entrée de synchronisation de la bascule
35 43, à la sortie 14a de la même pluralité 14 de sorties de

commande du circuit synchronisant 13, et l'entrée de synchronisation de la bascule 44, à la sortie 14d de ladite pluralité 14 de sorties de commande du circuit synchronisant 13.

5 La sortie directe de la bascule 42 constitue la sortie 3 de l'ensemble 2 de détermination des paramètres de l'ECS. La sortie inversée de la bascule 43 constitue la sortie 4 dudit ensemble 2 de détermination des paramètres de l'ECS, et la sortie inversée de la bascule
10 44 forme la sortie 5 du même ensemble 2 de détermination des paramètres de l'ECS.

 Le circuit logique 6 (figure 4) comprend des circuits ET 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, et 63, des circuits OU 64, 65, 66 et 67,
15 ainsi qu'un circuit NON 68. La mémoire 11 (figure 5) comprend des circuits OU 69, 70 et des bascules 71, 72, 73, 74, et 75. L'unité d'affichage 12 (figure 6) comprend des circuits ET 76, 77, 78, 79, 80 et 81, des compteurs 82, 83, 84, 85 et 86, des blocs de commande d'indicateur
20 87, 88, 89, 90, 91 et 92, ainsi que des indicateurs 93, 94, 95, 96, 97 et 98.

 De façon plus précise, les éléments constitutifs du circuit logique 6 sont interconnectés comme suit.

 La première entrée du circuit ET 45 (figure 4), la
25 première entrée du circuit ET 46 et l'entrée du circuit NON 68 sont réunies ensemble en constituant l'entrée 7 dudit circuit logique 6.

 La seconde entrée du circuit ET 45 et la seconde entrée (inverseuse) du circuit ET 46 sont réunies
30 pour former l'entrée 8 du circuit logique 6.

 La sortie du circuit ET 45 est reliée à la première entrée du circuit ET 50, à la première entrée du circuit ET 53, à la première entrée du circuit ET 54,

à la première entrée du circuit ET 55 et à la première entrée du circuit ET 59.

5. La sortie du circuit ET 46 est reliée à la première entrée du circuit ET 48, à la première entrée du circuit ET 51, à la première entrée du circuit ET 52, à la première entrée du circuit ET 57 et à la première entrée du circuit ET 60.

10 La sortie du circuit NON 68 est reliée à la première entrée du circuit ET 49, à la première entrée du circuit ET 56, à la première entrée du circuit ET 58, à la première entrée du circuit ET 61 et à la première entrée du circuit ET 47.

15 Les secondes entrées des circuits ET 48, 49 et 50 sont reliées à la sortie de la bascule 71 (figure 5) de la mémoire 11.

Les secondes entrées des circuits ET 51, 58, 59 (figure 4) sont reliées à la sortie de la bascule 72 (figure 5) de la mémoire 11.

20 Les secondes entrées des circuits ET 52, 54, 47 (figure 4) sont reliées à la sortie de la bascule 75 (figure 5) de la mémoire 11.

Les secondes entrées des circuits ET 53, 60, 61 (figure 4) sont reliées à la sortie de la bascule 74 (figure 5) de la mémoire 11.

25 • Les secondes entrées des circuits ET 55, 56, 57 (figure 4) sont reliées à la sortie de la bascule 73 (figure 5) de la mémoire 11.

30 La sortie du circuit ET 48 (figure 4) est reliée à la première entrée du circuit OU 67. La sortie du circuit ET 49 est reliée à la seconde entrée de ce même circuit OU 67.

L'entrée inverseuse du circuit ET 62 et la première entrée du circuit ET 63, réunies ensemble, constituent l'entrée 9 du circuit logique 6. Les secondes entrées des cir-

uits ET 62 et 63 sont reliées à la sortie du circuit ET 51. La sortie du circuit ET 63 est reliée à la première entrée du circuit OU 66.

La sortie du circuit ET 53 est reliée à la première
5 entrée du circuit OU 64, et la sortie du circuit OU 54, à la deuxième entrée de ce circuit OU 64.

La sortie du circuit ET 55 est reliée à la première entrée du circuit OU 65, et la sortie du circuit ET 56, à la deuxième entrée dudit circuit OU 65.

10 La sortie du circuit ET 58 est reliée à la deuxième entrée du circuit OU 66. La sortie du circuit ET 59 est reliée à la troisième entrée du circuit OU 66. La sortie du circuit 60 est reliée à la quatrième entrée du circuit OU 66. La sortie du circuit 61 est reliée à la cinquième
15 entrée du circuit OU 66. Enfin, la sortie du circuit ET 47 est reliée à la sixième entrée du circuit OU 66.

Les éléments de la mémoire 11 sont interconnectés de la manière suivante.

La première entrée du circuit OU 69 (figure 5) est re-
20 liée à la sortie du circuit OU 67 (figure 4) du circuit logique 6. La deuxième entrée du circuit OU 69 (figure 5) est branchée sur la sortie du circuit ET 52 (figure 4) du circuit logique 6. La troisième entrée du circuit OU 69 (figure 5) est reliée à la sortie du circuit ET 62 (figure
25 4) du circuit logique 6. La sortie du circuit OU 69 (figure 5) est reliée à l'entrée d'information de la bascule 71. L'entrée d'information de la bascule 72 est reliée à la sortie du circuit ET 50 (figure 4) du circuit logique 6. La première entrée du circuit OU 70 (figure 5) est reliée à la sortie du circuit OU 64 (fi-
30 gure 4) du circuit logique 6. La deuxième entrée du circuit OU 70 (figure 5) est reliée à la sortie du circuit OU 65 (figure 4) du circuit logique 6.

La sortie du circuit OU 70 est connectée à l'entrée d'information de la bascule 73.

5 L'entrée d'information de la bascule 74 (figure 5) est reliée à la sortie du circuit ET 57 (figure 4) du circuit logique 6.

L'entrée d'information de la bascule 75 (figure 5) est reliée à la sortie du circuit OU 66 (figure 4) du circuit logique 6.

10 Les entrées de synchronisation des bascules 71, 72, 73, 74 et 75 (figure 5) sont reliées à la sortie de commande 15 (figure 1) du circuit synchronisant 13.

15 Les entrées de remise à zéro des bascules 71, 72, 73, 74 et l'entrée de mise à l'état de la bascule 75 sont reliées à la sortie de l'ensemble 17 (figure 1) de remise à l'état initial.

Les éléments de l'unité d'affichage 12 sont interconnectés de la façon suivante.

20 La première entrée du circuit ET 76 (figure 6) est reliée à la sortie du circuit OU 67 (figure 4) du circuit logique 6.

La première entrée du circuit ET 77 (figure 6) est reliée à la sortie du circuit OU 63 (figure 4) du circuit logique 6.

25 La première entrée du circuit ET 78 (figure 6) est reliée à la sortie du circuit ET 52 (figure 4) du circuit logique 6.

La première entrée du circuit ET 79 est reliée à la sortie du circuit OU 64 (figure 4) du circuit logique 6.

30 La première entrée du circuit ET 80 (figure 6) est reliée à la sortie du circuit OU 65 (figure 4) du circuit logique 6.

La première entrée du circuit ET 81 (figure 6) est reliée à la sortie du circuit ET 62 (figure 4) du circuit logique 6.

35 Les secondes entrées des circuits ET 76, 77, 78, 79, 80 et 81 (figure 6) sont reliées à la sortie 16 (figure 1)

du circuit synchronisant 13.

La sortie du circuit ET 76 (figure 6) est reliée à l'entrée du bloc 87 de commande d'indicateur, dont la sortie est branchée sur l'entrée de l'indicateur 93.

5 Les sorties de chacun des circuits ET 77, 78, 79, 80 et 81 sont respectivement reliées aux entrées de comptage des compteurs 82, 83, 84, 85 et 86.

Les pluralités de sorties des compteurs 82, 83, 84, 85 et 86 sont respectivement reliées aux pluralités d'entrées 10 des blocs 88, 89, 90, 91 et 92 de commande d'indicateur.

Les pluralités de sorties des blocs 88, 89, 90, 91 et 92 de commande d'indicateur sont reliées aux pluralités d'entrées des indicateurs respectifs 94, 95, 96, 97 et 98.

15 Les entrées de mise à l'état des compteurs 82, 83, 84, 85 et 86 sont reliées à la sortie de l'ensemble 17 (figure 1) de remise à l'état initial.

L'indicateur 93 (figure 6) sert à afficher le rythme normal, l'indicateur 94, le nombre d'extrasystoles en cas d'extrasystolies groupées, l'indicateur 95, le nombre d'ex- 20 trasystoles uniques, l'indicateur 96, le nombre de blocages ordinaires, l'indicateur 97, le nombre de blocages dangereux, et l'indicateur 98, le nombre d'extrasystoles en cas de bigéminie.

L'ensemble 18 de présélection des conditions initiales 25 comporte un commutateur couplé 99 (figure 7) à trois positions, des circuits OU EXCLUSIF 100 et 101, un circuit OUNON 102, un circuit NON 103, un circuit OU 104, des circuits ET 105, 106 et une bascule 107. Dans cet ensemble, la première 30 entrée du circuit ET 105 et la première entrée du circuit OU EXCLUSIF 100 sont réunies et constituent l'entrée 19 de l'ensemble. La première entrée du circuit ET 106 et la première entrée du circuit OU EXCLUSIF 101, également réunies ensemble, forment l'entrée 20 du même ensemble 18 de présélection des conditions initiales.

35 Lorsque le commutateur 99 est dans sa première position, la deuxième entrée du circuit OU EXCLUSIF 100 et la deuxième

entrée du circuit OU EXCLUSIF 101 sont reliées à une source E de tension de l'unité logique. Quand le commutateur 99 occupe sa deuxième position, la deuxième entrée du circuit OU EXCLUSIF 100 se branche sur la susdite source E de tension de l'unité logique, alors que la deuxième entrée du circuit OU EXCLUSIF 101 se relie au conducteur commun. Enfin, dans la troisième position du commutateur 99, la deuxième entrée du circuit OU EXCLUSIF 100 et la deuxième entrée du circuit OU EXCLUSIF 101 sont connectées audit conducteur commun. La sortie du circuit OU EXCLUSIF 100 est reliée à la première entrée du circuit OU-NON 102. La sortie du circuit OU EXCLUSIF 101 est reliée à la seconde entrée dudit circuit OU-NON 102. La sortie de ce dernier est reliée à la première entrée du circuit OU 104. La deuxième entrée du circuit OU EXCLUSIF 100 est reliée au commutateur 99 et à l'entrée du circuit NON 103. La sortie de celui-ci est reliée à la deuxième entrée du circuit OU 104. La sortie du circuit OU 104 est reliée à la seconde entrée du circuit ET 105, à la seconde entrée du circuit ET 106 et à l'entrée de mise à l'état de la bascule 107.

L'entrée de remise à zéro de la bascule 107 est reliée à la sortie de l'ensemble 17 (figure 1) de remise à l'état initial. L'entrée de la bascule 107 (figure 7) est reliée à la troisième entrée du circuit OU 104.

La sortie du circuit ET 105 constitue la sortie 21 de l'ensemble 18 de présélection des conditions initiales, tandis que la sortie du circuit ET 106 forme la sortie 22 de cet ensemble 18.

La figure 8 illustre le schéma synoptique de l'appareil pour contrôler l'activité cardiaque d'être humains en partant d'un électrocardiosignal, dont la montage, afin d'améliorer la certitude du diagnostic d'arythmies, est équipé d'un univibrateur 108 ayant une entrée de déclenchement et une sortie, d'un générateur d'impulsions 109

ayant une entrée de déclenchement, une entrée d'arrêt et une sortie, d'une bascule 110 et d'un indicateur de panne 111. L'ensemble 2 de détermination des paramètres de l'ECS est en outre doté
5 d'une seconde entrée d'information et d'une quatrième sortie 112. Le circuit synchronisant 13 est en outre muni d'une seconde entrée, et la pluralité 14 de sorties de ce circuit synchronisant comporte les sorties 14a, 14b, 14c, 14d, 14e, 14f, 14g. En outre, le circuit synchronisant 13
10 est doté d'une sortie 113, la mémoire 11, d'une seconde entrée de mise à zéro, et l'unité d'affichage 12, d'une entrée d'autorisation de l'affichage.

Dans ce montage, l'entrée de déclenchement de l'univibrateur 108 est reliée à la sortie de commande 113 du
15 circuit synchronisant 13. La sortie de cet univibrateur 108 est reliée à la deuxième entrée du circuit synchronisant 13 et à l'entrée d'arrêt du générateur d'impulsions 109. L'entrée de déclenchement de ce dernier est connectée à la sortie 113 du circuit synchronisant 13, et la sortie du
20 générateur 109, à la seconde entrée d'information de l'ensemble 2 de détermination des paramètres de l'ECS. L'entrée d'information de la bascule 110 est reliée à la sortie 112 de l'ensemble 2 de détermination des paramètres de l'ECS. L'entrée de synchronisation et l'entrée de mise à l'état
25 de la bascule 110 sont reliées aux sorties 14f et 14g du circuit synchronisant 13. La sortie inversée de la bascule 110 est reliée à l'entrée de l'indicateur de panne 111 et à la deuxième entrée de mise à zéro de la mémoire 11. La sortie directe de la bascule 110 est branchée sur l'entrée
30 d'autorisation de l'affichage de l'unité d'affichage 12.

Dans cette variante, l'ensemble 2 (figure 3) de détermination des paramètres de l'ECS comprend en outre un registre 114 de mémorisation intermédiaire de la durée d'intervalle RR. Les entrées de la pluralité d'entrées
35 d'information du registre 114 sont reliées aux sorties

respectives de la pluralité de sorties du compteur 27. L'entrée d'enregistrement du registre 114 est reliée à la sortie 14b de la pluralité 14 de sorties de commande du circuit synchronisant 13. Les sorties de la pluralité de sorties du registre 114 sont reliées aux entrées respectives de la pluralité d'entrées d'information du compteur réversible 28.

L'entrée de remise à zéro de chacun des compteurs 25, 26 et 27 est reliée aux sorties 14a et 14g du circuit synchronisant 13 par l'intermédiaire d'un circuit OU 115 (figure 8). L'entrée de commande d'enregistrement du compteur réversible 28 (figure 3) est reliée aux sorties 14b et 14g du circuit synchronisant 13 à travers un circuit OU 116 (figure 8). L'entrée d'enregistrement de chacun des registres 29 et 31 (figure 3) est connectée aux sorties 14c et 14e dudit circuit synchronisant 13 via un circuit OU 117 (figure 8). Enfin, l'entrée de commande de chacun des conformateurs de ligne 33 et 38 (figure 3) est reliée aux sorties 14b et 14f de ce circuit synchronisant 13 par l'intermédiaire d'un circuit OU 118 (figure 8).

L'entrée du diviseur de fréquence 24 (figure 3), les entrées de comptage des compteurs 26 et 27 et l'entrée de compte à rebours du compteur réversible 28 sont reliées à la sortie d'un circuit OU 119 dont la première entrée est branchée sur la sortie du générateur d'impulsions 23, et la seconde entrée, sur la sortie du générateur d'impulsions 109 dans l'ensemble 2 de détermination des paramètres de l'ECS.

On a introduit dans la mémoire 11 (figure 5) un circuit OU 120, la sortie duquel est reliée aux entrées de remise à zéro des bascules 71, 72, 73 et 74 et à l'entrée de mise à l'état de la bascule 75. La première entrée du circuit OU 120 est reliée à la sortie de l'ensemble 17 de remise à l'état initial, et la seconde entrée de ce circuit OU 120, à la sortie directe de la bascule 110. Les entrées du circuit OU 120 constituant les entrées de mise

à zéro de la mémoire 11.

Dans l'unité d'affichage 12 (figure 6), les circuits ET 76, 77, 78, 79, 80 et 81 ont chacun trois entrées, les troisièmes entrées de ces circuits étant reliées à la
5 sortie inversée de la bascule 110.

L'appareil de contrôle qui vient d'être décrit fonctionne comme suit.

L'électrocardiosignal (figure 9a) provenant du sujet examiné est prélevé, par exemple, au moyen d'électrodes
10 pour être appliqué à l'entrée de l'ensemble 1 de séparation des ondes R de l'ECS, lequel délivre, pour chaque onde R de l'ECS, des pics ou "tops" de synchronisation S (figure 9b). Les intervalles de temps entre les pics de synchronisation S correspondent aux intervalles RR du
15 cardiosignal : RR_{i-1} , RR_i et ainsi de suite. Ces pics de synchronisation S sont injectés dans l'entrée d'information de l'ensemble 2 (figure 1) de détermination des paramètres de l'ECS et dans l'entrée du circuit synchronisant 13.

Chaque pic de synchronisation S (figure 9b) déclenche
20 le générateur d'impulsions 23 (figure 3) qui fournit des impulsions de séquence C (figure 9c) à l'aide desquelles on effectue la mesure des paramètres temporels de l'ECS.

Pendant le laps de temps entre la première et la deuxième impulsion de séquence de chaque cycle d'analyse
25 de l'ECS, le circuit synchronisant 13 (figure 1) élabore des instructions T_1 , T_2 , T_3 , T_4 , T_5 et T_6 (figure 9d) pour commander le fonctionnement de l'appareil pris dans son ensemble.

A noter que les instructions à appliquer par le
30 circuit synchronisant 13 aux ensembles de l'appareil dépourvu de chaînes destinées au contrôle de son fonctionnement, c'est-à-dire l'univibrateur 108, le générateur d'impulsions 109, la bascule 110 et l'indicateur de panne 111, sont indiquées sur les dessins sans parenthèses.

35 Dans l'ensemble 2 (figure 3) de détermination des paramètres de l'ECS, le compteur 25 compte, pendant chaque

cycle d'analyse de l'ECS, le nombre d'impulsions de séquence C ayant passé par le diviseur de fréquence 24 à rapport de division égal à 5. De cette façon, à l'arrivée d'un pic de synchronisation S suivant,
 5 le compteur 25 affiche un nombre correspondant à la durée $0,2 RR_i$. Le compteur 26, qui effectue le comptage à partir d'une valeur correspondant, par exemple, à $-0,06$ seconde, affiche un nombre correspondant à la durée $RR_i = 0,06$ s.

10 Quant au compteur 27, on y obtient un nombre correspondant à RR_i .

A la fin du cycle précédent d'analyse de l'ECS, le compteur réversible 28 reçoit la valeur RR_{i-1} . Pendant un cycle suivant d'analyse de l'ECS, on soustrait successivement du contenu de ce compteur 28 les impulsions de
 15 séquence C, par suite de quoi on y obtient un nombre correspondant à $\Delta RR = (RR_i - RR_{i-1})$.

A la réception de l'instruction T_1 formée par le circuit synchronisant 13, l'information est portée du
 20 compteur 25 dans le registre 29, du compteur 26 dans le registre 30, du compteur 27 dans le registre à décalage 32, et du compteur réversible 28, dans le registre 31.

En même temps, dans le registre à décalage 32 continuent toujours à être conservées les valeurs des
 25 durées des intervalles précédents RR_{i-1} et RR_{i-2} .

L'instruction T_2 déclenche les opérations suivantes :

- dans le compteur réversible 28 sont portées les données provenant du compteur 27;

- le comparateur 41 effectue la comparaison des
 30 valeurs $0,2 RR_i$ et ΔRR_i arrivant respectivement aux barres 39, 40 par les conformateurs de ligne respectifs 33, 38 depuis les registres 29 et 31;

- dans la bascule 42 est enregistré le résultat de la comparaison mentionnée entre $0,2 RR_i$ et ΔRR_i , de
 35 sorte que, si

$$\Delta RR_i < 0,2 RR_i, \quad (3)$$

la bascule 42 est mis à l'état de zéro logique, et si

$$\Delta RR_i \geq 0,2 RR_i \quad (4)$$

il se met à l'unité logique. Le résultat de la comparaison est prélevé sur la sortie 3 de la bascule 42.

5 A la réception de l'instruction T_3 , les opérations suivantes ont lieu :

- les compteurs 25, 26 et 27 sont remis à l'état initial (pour les compteurs 25 et 27 ce sera le zéro logique, et pour le compteur 26, l'état correspondant à la durée 0,06 s).

10 - le comparateur 41 compare les valeurs RR_i et RR_{i-1} arrivant respectivement aux barres 39 et 40 par les conformateurs de ligne 35 et 36 en provenance des sorties du registre à décalage 32;

15 - dans la bascule 43 est enregistré le résultat de la comparaison entre RR_i et RR_{i-1} , de sorte que, si

$$RR_i < RR_{i-1}, \quad (5)$$

la bascule 43 est mise à l'état unité logique, et si

$$RR_i \geq RR_{i-1}, \quad (6)$$

20 cette bascule est mise au zéro logique. Le résultat de la comparaison est prélevé sur la sortie inversée 4 de la bascule 43. L'instruction T_4 déclenche les opérations suivantes :

25 - le comparateur 41 effectue la comparaison entre les valeurs $RR_i - 0,06 s$ et RR_{i-2} qui arrivent respectivement aux barres 39 et 40 par les conformateurs respectifs 34 et 37 depuis les sorties du registre 30 et du registre à décalage 32;

30 - dans la bascule 44 est enregistré le résultat de la comparaison entre $RR_i - 0,06 s$ et RR_{i-2} , de sorte que, si

$$RR_i - RR_{i-2} < 0,06 s, \quad (7)$$

la bascule 44 se met à l'état unité logique, et si

$$RR_i - RR_{i-2} \geq 0,06 s, \quad (8)$$

35 il se met à l'état zéro logique, ledit résultat de comparaison étant prélevé sur la sortie inversée 5 de cette bascule 44.

Dans le circuit logique 6 (figure 4), les signaux attaquant les entrées 7, 8 et 9 en provenance des sorties respectives 3, 4 et 5 (figure 1) de l'ensemble 2 de détermination des paramètres de l'ECS, sont combinés de la manière suivante.

Au cas où les inégalités (4) et (6) sont réalisées, il y a fonctionnement du circuit ET 45 (figure 6) qui envoie le signal de l'unité logique vers la ligne "+". Lorsque les inégalités (4) et (5) sont réalisées, c'est le circuit ET 46 qui fonctionne, en envoyant le signal de l'unité logique vers la ligne "-". Enfin, si l'inégalité (1) est valable, le circuit NON 68 envoie une unité logique dans la ligne "0".

Le processus d'analyse ultérieure de l'information disponible, ayant pour conséquence la détection, le comptage et l'affichage des perturbations du rythme cardiaque, est illustré à l'aide du Tableau montré sur la figure 10. Les cases de ce Tableau comportent diverses variantes décelées du rythme cardiaque en adoptant les symboles conventionnels suivants :

- 20 N = rythme normal
- E = extrasystole unique
- GE = extrasystole groupée
- B = blocage ordinaire
- DB = blocage dangereux
- 25 Big = bigéminie.

Dans le Tableau, des flèches relient ces symboles avec les numéros des bascules de la mémoire 11 qui se mettent à l'état unité logique à la détection des variantes correspondantes du rythme cardiaque.

30 Dès que l'appareil pour contrôler l'activité cardiaque est mis en marche, l'ensemble 17 (figure 1) de remise à l'état initial délivre, pendant le temps d'apparition d'au moins trois intervalles RR successifs de l'ECS, un signal de remise à l'état initial qui est appliqué à l'entrée de 35 remise à zéro de la bascule 42 (figure 3) de l'ensemble 2 de détermination des paramètres de l'ECS, aux entrées de remise à zéro des bascules 71, 72, 73, 74 (figure 5), et

de mise à l'état de la bascule 75 dans la mémoire 11, ainsi qu'aux entrées de remise à zéro des bascules 82, 83, 84, 85 et 86 (figure 6) de l'unité d'affichage 12.

Pendant le temps de formation du signal de remise 5 à l'état initial, qui est de 10 secondes par exemple, dans l'ensemble 2 (figure 1) de détermination des paramètres de l'ECS s'accumulent les informations sur trois intervalles RR successifs de l'ECS, alors que dans le circuit logique 6 (figure 4) le niveau de l'unité logique 10 est appliqué à la ligne "Ø", et la bascule 75 (figure 5) de la mémoire 11 est maintenu à l'état unité logique. Il y a alors fonctionnement du circuit ET 47 (figure 4) et du circuit OU 66, le signal de l'unité passant, à la suite des instructions T₅ venant de la sortie 16 (figure 1) du 15 circuit synchronisant 13, à travers le circuit ET 76 (figure 6) de l'unité d'affichage 12 et le bloc 87 de commande d'indicateur, ce qui a pour effet l'affichage, sur l'indicateur 93, du rythme cardiaque normal.

Dans ce cas, la présence d'une unité logique à la 20 sortie du circuit OU 66 correspond à la septième combinaison de signaux aux sorties du circuit logique 6.

L'existence d'une unité logique à la sortie de la bascule 75 (figure 5) de la mémoire 11 signifie que dans cette mémoire est enregistré un code correspondant à la 25 septième combinaison de signaux aux sorties du circuit logique 6 (figure 4).

En outre, à la réception des instructions T₆ formées à la sortie 15 du circuit synchronisant 13, le signal de l'unité logique en provenance de la sortie du circuit OU 66 30 met à l'état unité logique la bascule 75 (figure 5) de la mémoire 11, en préparant chaque fois cette dernière au cycle suivant d'analyse du rythme.

La condition qui vient d'être décrite correspond à la case E 2 du Tableau de la figure 10. En conséquence, passé 35 le temps de formation du signal de remise à l'état initial, l'appareil de contrôle de l'activité cardiaque accumule.

l'information sur le rapport des durées des trois intervalles RR successifs de l'ECS et va analyser les données ainsi obtenues en relation du rythme normal qui a eu lieu avant les intervalles analysés .

5 En cas de rythme cardiaque normal (figure 11) du sujet examiné, on exécute les opérations décrites selon les instructions T_1 , T_2 , T_3 , T_4 , T_5 et T_6 à l'apparition de chacune des ondes R. Etant donné la réalisation de l'inégalité (3), la bascule 42 (figure 3) est mis à l'état
10 zéro logique, la ligne "Ø" du circuit logique 6 (figure 4) devient active, et les circuits ET 47, OU 66, ET 76 (figure 6) et le bloc 87 de commande d'indicateur fonctionnent, par suite de quoi l'indicateur 93 affiche le rythme cardiaque normal. Dans la mémoire 11 (figure 5), la
15 bascule 75 se met à l'état unité logique.

 Au cas où une extrasystole unique (figure 11b) apparaît sur le fond du rythme normal, on obtient la réalisation des inégalités (4) et (5), une unité logique étant alors enregistrée dans les bascules 42 et 43 (figure 3)
20 de l'ensemble 2 de détermination des paramètres de l'ECS. Dans ces conditions, c'est la ligne "-" du circuit logique 6 (figure 4) qui devient active. Comme le niveau "unité" est maintenu à la sortie de la bascule 75 (figure 5), les circuits ET 52 (figure 4) et ET 78 (figure 6) fonction-
25 nent, le contenu du compteur 83 est additionné d'une unité et l'indicateur 95 affiche en code décimal, au moyen du bloc 89 de commande d'indicateur, le nombre d'extrasystoles uniques. Il se produit alors la mise à l'unité, par l'intermédiaire du circuit OU 69 (figure 5),
30 de la bascule 71.

 La présence d'une unité logique à la sortie du circuit ET 52 (figure 4) correspond à la troisième combinaison de signaux aux sorties du circuit logique 6. L'apparition d'une unité logique à la sortie de la
35 bascule 71 (figure 5) signifie que dans la mémoire 11 est enregistré un code qui correspond également

à la troisième combinaison de signaux aux sorties du circuit logique 6. Dans le Tableau de la figure 10, une telle condition est représentée par la case E1.

En cas d'une pause compensatrice qui suit l'extra-
5 trasytrole (figure 11b), sont réalisées les inégalités
 (4) et (6). La bascule 42 (figure 3) se met alors à
 l'état unité logique, et la bascule 43, à l'état zéro
 logique. La ligne "+" du circuit logique 6 (figure 4)
 devient active, le circuit E50 fonctionne, ce qui corres-
10 pond à l'établissement de la deuxième combinaison de
 signaux aux sorties du circuit logique 6, et une unité
 logique est enregistrée dans la bascule 72 (figure 5).

L'existence d'une unité logique à la sortie de la
bascule 72 signifie que dans la mémoire 11 est enregist-
15 tré un code correspondant à la deuxième combinaison de
 signaux aux sorties du circuit logique 6 (figure 4). Une
 telle condition de l'appareil correspond à la case A3
 du Tableau (figure 10) et constitue un état intermédiaire,
 puisque, dans ce cas, pour pouvoir distinguer une extra-
20 systole unique du cas de bigéminie (figure 11 f), il est
 nécessaire d'effectuer l'analyse de la durée d'encore un
 autre intervalle RR. Pour un intervalle normal succédant
 à la pause compensatrice (figure 11b), sont valables les
 inégalités (4), (5), (8). Alors, c'est la ligne "-" du
25 circuit logique 6 (figure 4) qui devient active. Une
 unité logique passe à travers les circuits ET 51, ET 63,
 OU 66, ET 76 (figure 6) et le bloc 87 de commande d'in-
 dicateur, de sorte que l'indicateur 93 affiche le rythme
 cardiaque normal.

30 La bascule 75 (figure 5) de la mémoire 11 est mis
 à l'unité, ce qui correspond à la ligne inférieure de
 la case B₁ du Tableau de la figure 10.

En cas d'apparition, sur le fond du rythme normal
(figure 11a), d'une bigéminie (figure 11f), la première
35 contraction extrasystolique du coeur est diagnostiquée
 en tant qu'extrasystole unique (voir la case E1 du

Tableau de la figure 10). A l'apparition d'un intervalle RR plus long (figure 11f) succédant à la première extrasystole, l'appareil passe à un état intermédiaire (case A3 dans le Tableau de la figure 10). Ensuite, à l'apparition d'une autre contraction extrasystolique du coeur (figure 11f), sont réalisées les inégalités (4), (5) et (7) pour les intervalles RR correspondants. Le niveau de l'unité logique est établi sur la ligne "-" du circuit logique 6 (figure 4). Une unité est additionnée, par l'intermédiaire des circuits ET 51, ET 62 (figure 4) et ET 81 (figure 6), au contenu du compteur 86. Le bloc 92 de commande d'indicateur actionne l'indicateur 98 pour afficher en code décimal le nombre d'extrasystoles en cas de bigéminie. Le signal d'unité logique de la sortie du circuit ET 62 (figure 4) du circuit logique 6 passe par le circuit OU 69 (figure 5) de la mémoire 11 pour mettre à l'unité la bascule 71 (voir la ligne supérieure de la case B1, figure 10).

Dans ces conditions, la présence d'une unité logique à la sortie du circuit ET 62 (figure 4) correspond à la huitième combinaison de signaux aux sorties du circuit logique 6, tandis que l'apparition de l'unité logique à la sortie de la bascule 71 (figure 5) signifie que dans la mémoire 11 est enregistré un code correspondant également à ladite huitième combinaison de signaux aux sorties du circuit logique 6. Ce même code dans la mémoire 11 correspond à la troisième combinaison de signaux aux sorties du circuit logique 6.

Le diagnostic ultérieur en cas de bigéminie s'opère de façon identique, ce qui est illustré par les case A3 et B1 (ligne supérieure) du Tableau de la figure 10.

En cas d'extrasystolie groupée (figure 11c), la première extrasystole est interprétée comme une extrasystole unique (case E1 du Tableau de la figure 10), alors qu'à l'apparition d'une deuxième extrasystole et d'extrasystoles suivantes (figure 11c) est réalisée l'inégalité (1), et la ligne "Ø" du circuit logique 6 (figure 4) devient active.

Etant donné que, pendant le cycle précédent d'analyse du rythme cardiaque, c'était la bascule 71 (figure 5) qui était mis à l'état unité, dans ce cas ce sont les circuits ET 49 (figure 4) et OU 67 du circuit logique 6 qui fonction-
5 nent . Par l'intermédiaire du circuit ET 77 (figure 6), le contenu du compteur 82 est additionné d'une unité. Le bloc 88 de commande d'indicateur assure l'action de l'indicateur 94 qui affiche, en code décimal, le nombre d'extrasystoles en cas d'extrasystolie groupée. Le signal
10 d'unité logique passe de la sortie du circuit OU 67 (figure 4) à travers le circuit OU 69 (figure 5) pour être enregistré dans la bascule 71. Le diagnostic d'une telle extrasystolie groupée est illustrée par la case A2 du Tableau de la figure 10.

15 Dans ce cas, la présence d'une unité logique à la sortie du circuit OU 67 (figure 4) correspond à la première combinaison de signaux aux sorties du circuit logique 6. L'apparition de l'unité logique à la sortie de la bascule 71 (figure 5) témoigne du fait que, dans la mémoire 11,
20 est enregistré un code correspondant à la première combinaison de signaux aux sorties du circuit logique 6, lequel code est analogue à celui qui correspond à la huitième et à la troisième combinaison de signaux aux sorties dudit circuit logique. La mise du rythme à la normale est analysée
25 de la même manière que la mise à la norme après une extrasystole unique (voir la case A3 et la ligne inférieure de la case B1 du Tableau de la figure 10).

Une extrasystolie groupée avec raccourcissements successifs des intervalles RR extrasystoliques est diagnostiquée
30 d'une façon semblable. Le processus d'analyse d'un tel rythme est illustré par les cases E1, A1, A3 et B1 (ligne inférieure) du Tableau de la figure 10.

Le diagnostic d'un blocage (omission d'une contraction suivante du coeur) (figure 11d) s'effectue comme suit. En
35 cas d'apparition d'un intervalle RR plus long sur le fond du rythme normal, sont réalisées les inégalités (4) et (6). Dans le circuit logique 6 (figure 4), c'est alors la ligne

"+" qui devient active. Etant donné que, durant le rythme normal, c'était dans la bascule 75 (figure 5) de la mémoire 11 qu'était enregistrée l'unité logique, il y a, dans ce cas, fonctionnement des circuits ET 54 (figure 4), OU 64 et ET 79 (figure 6), et addition d'une unité au contenu du compteur 84. Le bloc 90 de commande d'indicateur assure l'affichage, par l'indicateur 96, du nombre de blocages en code décimal. Dans la mémoire 11 (figure 5), le signal de l'unité logique qui passe par le circuit OU 70 est inscrit dans la bascule 73 (voir la case E3 du Tableau de la figure 10). La formation d'une unité logique à la sortie du circuit OU 64 (figure 4) correspond à l'établissement de la quatrième combinaison de signaux aux sorties du circuit logique 6. La mémorisation de cette combinaison de signaux dans la mémoire 11 (figure 5) correspond à la mise de la bascule 73 à l'état unité logique.

A l'apparition d'un intervalle RR de durée normale (figure 11d) succédant à celui de blocage, sont accomplies les inégalités (4) et (5), et c'est la ligne "-" du circuit logique 6 (figure 4) qui devient active. C'est alors le circuit E 57 qui fonctionne, et la bascule 74 (figure 5), qui établit aux sorties dudit circuit logique la sixième combinaison de signaux, mémorise l'état unité logique en indiquant ainsi que dans la mémoire 11 est enregistré un code correspondant à ladite sixième combinaison de signaux. Cette condition (voir la case C1 du Tableau de la figure 10) constitue un état intermédiaire. Pour pouvoir faire le diagnostic d'un tel rythme, il faut disposer de l'information sur encore un autre intervalle RR.

A l'apparition d'encore un intervalle RR normal (figure 11d), devient valable l'inégalité (3). C'est alors la ligne "0" (figure 4) qui devient active et ce sont les circuits ET 61, OU 66, ET 76 (figure 6) qui fonctionnent. Le bloc 87 met en action l'indicateur 93 qui affiche le rythme cardiaque normal. Une unité logique est mémorisée dans la bascule 75 (figure 5). Dans le

Tableau de la figure 10, cette condition est représentée par la case D2.

En cas de blocages dangereux (figure 11e), qui se caractérisent par un accroissement successif des intervalles RR, le premier intervalle accru est considéré comme révélant un blocage unique (voir la case E3 dans le Tableau de la figure 10). L'allongement ultérieur d'un intervalle RR suivant correspond à la réalisation des inégalités (4) et (6), de sorte que la ligne "+" (figure 4) devient active. Etant donné qu'au stade précédent de l'analyse c'était la bascule 73 (figure 5) qui était à l'unité, ce sont maintenant les circuits ET 55 (figure 4), OU 65, ET 80 (figure 6) qui fonctionnent, le contenu du compteur 85 étant additionné d'une unité. L'indicateur 97, mis en jeu par le bloc de commande 91, affiche en code décimal le nombre de blocages dangereux. Une unité logique est alors enregistrée, via le circuit OU 70 (figure 5), dans la bascule 73. Ce diagnostic est illustré dans le Tableau de la figure 10 par la case C3.

Dans ce cas, la présence d'une unité logique à la sortie du circuit OU 65 (figure 4) correspond à la cinquième combinaison de signaux aux sorties du circuit logique 6. La mise à l'état unité de la bascule 73 (figure 5) signifie que dans la mémoire 11 est enregistré un code correspondant à ladite cinquième combinaison de signaux aux sorties du circuit logique 6, ce code étant analogue à celui correspondant à la quatrième combinaison de signaux aux sorties du même circuit logique. Le diagnostic du retour à la norme est le même que dans le cas de blocage unique décrit précédemment.

En pratique, le nombre de combinaisons possibles de durées d'intervalles RR que l'appareil de contrôle de l'activité cardiaque est capable d'analyser est assez important. Ci-dessus, on n'a étudié que des exemples types, concernant les cas les plus connus, le fonctionnement de l'appareil aux fins du diagnostic d'autres modifications

quelconques du rythme cardiaque pouvant être examiné à l'aide du Tableau de la figure 10 et des dessins annexés, tout comme dans les exemples décrits.

5 Ainsi, l'appareil proposé de contrôle de l'activité cardiaque permet d'effectuer une surveillance continue et prolongée de divers types de perturbations de la fréquence et du rythme du coeur d'êtres humains au cours du traitement des maladies cardio-vasculaires, en cas de prophylaxie, de réhabilitation, d'essais sous efforts physiques, 10 ainsi qu'en conditions extrêmes.

La conclusion sur le rythme cardiaque se forme sur la base d'un volume d'information relativement restreint, concernant le rapport des durées de, au maximum, trois intervalles RR successifs de l'ECS, ainsi que des données 15 illustrant le rythme cardiaque qui étaient obtenues pendant le cycle d'analyse précédent. On réduit de la sorte la quantité d'opérations logiques à entreprendre pour le diagnostic et on simplifie la réalisation de l'appareil.

20 A la suite d'un tel contrôle des perturbations de la fréquence et du rythme du coeur, l'appareil fournit le nombre d'apparitions de chacune des perturbations précitées, en les affichant en code décimal.

Sur la figure 7, on a représenté plus en détail 25 l'ensemble 18 de présélection des conditions initiales. Dès que l'appareil pour contrôler l'activité cardiaque est mis en marche, l'ensemble 17 (figure 2) de remise à l'état initial remet à zéro la bascule 107 (figure 7), en assurant l'obtention d'un zéro logique à la sortie 3 30 (figure 2) de l'ensemble 2 de détermination des paramètres de l'ECS. Dans ce cas, lorsque le commutateur 99 (figure 7) est mis en première ou en deuxième position, la deuxième entrée du circuit OU EXCLUSIF 100 et l'entrée du circuit NON 103 sont attaquées par le niveau de 35 l'unité logique qui est décalé dans le temps par rapport au signal zéro appliqué à l'entrée 19 (figure 2) de l'ensemble 18 de présélection des conditions initiales

et arrivant à la première entrée du circuit OU EXCLUSIF 100 (figure 7). Dans ces conditions, l'unité logique présente à la sortie dudit circuit OU EXCLUSIF 100 provoque l'apparition d'un zéro logique à la sortie du circuit

5. OU-NON 102. Vu que le zéro logique est également maintenu aux sorties du circuit NON 103 et de la bascule 107, le signal de zéro logique provenant de la sortie du circuit OU 104 bloque les circuits ET 105 et 106 en fournissant ainsi aux sorties 21 et 22 des signaux nuls. Le circuit

10 logique 6 (figure 2) reçoit dans ce cas l'information sur l'absence de variations sensibles des durées d'intervalles RR.

Une fois achevée la formation du signal de remise à l'état initial, les entrées 19 et 20 (figure 7) reçoivent

15 les signaux portant l'information sur le rapport des durées de deux intervalles RR voisins. Tant que ces signaux diffèrent de ceux présents aux deuxièmes entrées des circuits OU EXCLUSIF 100 et 101, respectivement, l'état initial de l'ensemble 18 de présélection des conditions initiales est

20 maintenu. En d'autres termes, aux sorties 21 et 22 sont toujours maintenus les zéros logiques.

Quand les signaux aux entrées 19 et 20 coïncident avec ceux existant aux deuxièmes entrées des circuits OU EXCLUSIF respectifs 100 et 101, les sorties de ces circuits fournis-

25 sent des signaux de zéro logique, alors qu'à la sortie du circuit OU-NON 102 apparaît un signal d'unité logique qui passe à travers le circuit OU 104 pour mettre à l'unité la bascule 107. En conséquence, on assure le maintien permanent de l'unité logique à la sortie du circuit OU 104,

30 cette unité logique débloquent les circuits ET 105 et 106 et laissent passer aux sorties 21 et 22 les signaux en provenance des entrées respectives 19 et 20.

En cas où le commutateur 99 est mis en sa première position, l'ensemble 18 de présélection des conditions

35 initiales ne laisse passer les signaux venant des entrées 19, 20 aux sorties respectives 21 et 22 qu'après l'apparition

simultanée des niveaux d'unité logique aux entrées mentionnées 19 et 20. Les signaux existant aux premières entrées des circuits OU EXCLUSIF 100 et 101 coïncident avec ceux présents à leurs deuxièmes sorties et imposés par la position du commutateur 99. La présence des signaux de l'unité logique aux entrées 19 et 20 est indicative d'un accroissement notable du dernier intervalle RR apparu en comparaison de l'intervalle précédent, autrement dit, de la réalisation des inégalités (4) et (6).

10 Lorsque le commutateur 99 est mis en sa deuxième position, la deuxième entrée du circuit OU EXCLUSIF 100 est attaquée par le signal d'unité logique, et la deuxième entrée du circuit OU EXCLUSIF 101, par celui du zéro logique. Pour que l'ensemble 18 de présélection des conditions initiales puisse maintenant être commuté à l'état conducteur, 15 il faut obtenir la présence simultanée du niveau d'unité logique à l'entrée 19 et de celui de zéro logique à l'entrée 20 ou, en d'autres termes, l'apparition simultanée du second signal à la sortie 3 (figure 2) de l'ensemble 2 de détermination des paramètres de l'ECS, et du premier signal, 20 à la sortie 4 de cet ensemble. Cette condition est remplie quand sont valables les inégalités (4) et (5), c'est-à-dire au cas où l'on constate un raccourcissement considérable de l'intervalle RR apparu en dernier par rapport au précédent. 25

Quand le commutateur 99 (figure 7) est en troisième position, le niveau du zéro logique est appliqué à l'entrée du circuit NON 103. De la sortie de ce dernier, l'unité logique passe par le circuit OU 104 pour mettre à l'état correspondant la bascule 107, en assurant ainsi l'application du niveau "unité" autorisant aux circuits ET 105 et 106. De cette façon, l'ensemble 18 de présélection des conditions initiales laisse passer tous les signaux immédiatement après la mise du commutateur 99 en troisième position, depuis les entrées 19, 20 vers les sorties 21, 22, 35 respectivement.

Ainsi, en imposant au moyen du commutateur 99 les conditions initiales qui correspondent au rythme cardiaque du sujet examiné, on exclut toute possibilité de procéder au diagnostic en partant d'un intervalle RR de durée anormale, ce qui conduirait à la formation de conclusions erronées. On agit en sorte que l'appareil de contrôle de l'activité cardiaque n'intervienne, pour analyser le rythme, qu'après l'apparition d'une combinaison de durées des intervalles RR caractéristique du sujet particulier examiné.

La figure 8 représente le schéma synoptique d'un appareil de contrôle de l'activité cardiaque d'un être humain d'après l'électrocardiosignal, dans lequel est prévu un contrôle automatique du fonctionnement des ensembles principaux de cet appareil afin d'améliorer la certitude du diagnostic.

Dans ce cas, les instructions envoyées par le circuit synchronisant 13 aux ensembles de l'appareil sont désignées sur le dessin entre parenthèses.

Le principe de fonctionnement de cet appareil est analogue à celui de l'appareil représenté à la figure 1. Ci-dessous, on ne met en lumière que les particularités fonctionnelles d'un tel appareil de contrôle de l'activité cardiaque possédant une certitude de diagnostic accrue, sans s'arrêter en détail sur les généralités déjà étudiées.

Le circuit synchronisant 13 (figure 11) élabore des instructions (figure 9e) qui déclenchent les opérations suivantes :

- T_1 - Transfert de l'information :
 - du compteur 25 (figure 3) au registre 29;
 - du compteur 26 au registre 30;
 - du compteur 27 au registre à décalage 32;
 - du compteur réversible 28 au registre 31.
- T_2 - Transfert de l'information :
 - du compteur 27 au registre 114 et au compteur réversible 28;

Comparaison entre ΔRR_i et $0,2 RR_i$ dans le comparateur 41.

T_3 - Remise à l'état initial des compteurs 25, 26 et 27.

5 Comparaison entre RR_{i-1} et RR_i dans le comparateur 41.

T_4 - Comparaison, dans le comparateur 41, entre RR_{i-2} et $RR_{i-1} - 0,06 s$

10 L'exécution des opérations selon les instructions T_1 , T_2 , T_3 et T_4 (figure 9e) a pour effet l'emmagasinement, dans les bascules 42, 43 et 44 (figure 3), des données concernant le rapport des durées des trois intervalles RR consécutifs.

15 L'instruction T_5 met en action le générateur d'impulsions 109 (figure 8) et l'univibrateur 108. Le générateur 109 délivre des impulsions de vérification C_t (figure 9c) avec une fréquence dépassant de N fois celle des impulsions de séquence C fournies par le générateur d'impulsions 23 (figure 3). Les impulsions C et C_t passent par le circuit
20 OU 119. Le compteur réversible 28 engendre une valeur de vérification ΔRR_i en soustrayant des valeurs des durées RR_{i-1} qui y sont enregistrées suivant l'instruction T_2 , les impulsions de vérification C_t (figure 9c), jusqu'à ce
25 de contrôle S_t (figure 9b) qui arrête le générateur d'impulsions 109 (figure 8).

Le compteur 25 (figure 3) effectue le comptage d'un cinquième de la durée de l'intervalle de vérification RR_i . Le nombre N est choisi de telle sorte que le laps de temps
30 entre l'instruction T_5 (figure 9e) et l'impulsion de contrôle S_t (figure 9b) puisse renfermer un nombre d'impulsions de vérification C_t (figure 9e) qui assure, par comparaison du contenu du compteur réversible 28 (figure 3) avec celui du compteur 25, la détection d'une arythmie de référence.
35 Dans ce choix, il faut se baser sur la valeur minimale de la durée de l'intervalle réel RR_{i-1} , enregistrée dans le

compteur réversible 28, de sorte que l'inégalité (4) soit toujours réalisée pendant la vérification, le fonctionnement de l'appareil étant supposé correct.

5 Après l'apparition de l'impulsion de contrôle S_t (figure 9b), le circuit synchronisant 13 (figure 8) fournit des instructions de vérification T_{1t} et T_{2t} (figure 9e).

10 L'instruction T_{1t} est envoyée aux entrées d'enregistrement des registres 29 et 31 (figure 3) pour commander le transfert dans le premier de l'information du compteur 25 (valeur de vérification $0,2 RR_i$), et dans le second, de l'information du compteur réversible 28 (valeur de vérification ΔRR_i).

15 A la réception de l'instruction T_{2t} (figure 9e), le comparateur 41 (figure 3), compare les valeurs de vérification ΔRR_i et $0,2 RR_i$, après quoi le résultat est enregistré dans la bascule 110 (figure 8). Si c'est l'inégalité (4) qui est valable, la bascule 110 est mise à l'état unité logique, en confirmant ainsi le bon fonctionnement de l'appareil.

20 Dans ce cas l'indicateur de panne 111 ne fonctionne pas, et l'unité d'affichage 12 (figure 6) reçoit un potentiel d'autorisation qui arrive aux troisième entrées des circuits ET 76, 77, 78, 79, 80 et 81.

25 Etant donné qu'au circuit OU 120 (figure 5) de la mémoire 11 est appliqué le niveau de zéro logique depuis la sortie inversée de la bascule 110, aucun changement ne se produit dans ladite mémoire.

30 A la réception de l'instruction T_6 (figure 9e), dans l'unité d'affichage 12 (figure 8) s'opère le comptage des arythmies décelées, leur nombre étant affiché sur un indicateur approprié. L'analyse du rythme cardiaque s'effectue de la même manière que dans le montage de la figure 1.

35 L'instruction T_7 (figure 9e) assure l'emmagasinement dans la mémoire 11 (figure 8) du résultat d'analyse du rythme dans le cycle précédent, résultat qui est formé par le circuit logique 6.

L'instruction T_8 (figure 9e) déclenche les opérations suivantes :

- mise à l'état initial des compteurs 25 (figure 3), 26, et 27;
- 5 - transfert de l'information du registre 114 au compteur réversible 28;
- mise à l'état unité de la bascule 110 (figure 8).

A ce moment, l'appareil est prêt pour le stade suivant d'analyse du rythme cardiaque. Dans le compteur réversible 10 28 (figure 3) est mémorisée la valeur de la durée de l'intervalle précédent RR_{i-1} .

Au cours de l'envoi des instructions depuis le circuit synchronisant 13 (figure 8), les circuits OU 115, 116, 117 et 118 assurent le découplage électrique des signaux aux 15 sorties de la pluralité de sorties 14 de ce circuit synchronisant 13.

Si l'inégalité (4) n'est pas réalisée pendant la vérification sur instruction T_{2t} , la bascule 110 (figure 8) se met au zéro logique en mettant en circuit l'indicateur 20 de panne 111. Le passage de l'information dans l'unité d'affichage 12 est inhibé; La mémoire 11 (figure 5) est attaquée, par l'intermédiaire du circuit OU 120, par le signal de remise à l'état initial, de sorte que dans cette mémoire est enregistrée l'information correspondant au 25 rythme cardiaque normal au stade d'analyse précédent.

Comme la bascule 110 (figure 8) mémorise l'état de panne jusqu'à l'arrivée de l'instruction T_8 , l'apparition des instructions T_6 et T_7 ne change pas l'état de l'unité d'affichage 12 et de la mémoire 11. Après la panne, l'analyse 30 ultérieure du rythme cardiaque se fait relativement à la condition normale.

De cette façon, après chaque cycle d'analyse du rythme des contractions du coeur, est assuré le contrôle du bon fonctionnement de l'ensemble 1 de séparation des ondes R de 35 l'ECS (figure 8), de l'ensemble 2 de détermination des paramètres de l'ECS et du circuit synchronisant 13, ce qui a pour résultat une amélioration de la certitude de l'in-

formation obtenue à l'aide de l'appareil de contrôle de l'activité cardiaque d'un être humain à partir de l'ECS.

Ainsi, l'emploi de l'appareil proposé permet d'obtenir une surveillance continue et prolongée de diverses variétés
5 de perturbations de la fréquence et du rythme des contractions cardiaques en diverses conditions d'activité vitale aussi bien d'un malade que d'un individu sain. Cela donne la possibilité d'obtenir une information véridique sur l'état du système cardio-vasculaire du sujet examiné en
10 conditions de vie active, de prophylaxie, de traitement, de réhabilitation et de tests sous efforts physiques, ainsi que de régler judicieusement l'action des facteurs externes affectant le comportement du coeur.

Le volume restreint des informations traitées par
15 l'appareil au cours du diagnostic permet de simplifier sa conception et de réduire son encombrement ainsi que d'assurer sa fiabilité de fonctionnement. L'appareil conforme à l'invention permet de réduire la probabilité de l'élaboration de faux diagnostics et d'obtenir les données les plus véridiques possibles sur le rythme cardiaque du patient.
20

L'emploi de l'indication en code décimal du nombre d'arythmies détectées, ainsi que le fait de n'afficher que le nombre de types les plus répandus des perturbations du rythme cardiaque, assurent la rapidité de lecture et la
25 commodité d'analyse de l'information obtenue, de même que la compacité du système d'affichage.

La possibilité de contrôler le comportement du coeur, offerte à tout individu dans des conditions très variées de son activité vitale, permet de réduire à un minimum le
30 nombre d'états terminaux menaçants aboutissant à la fibrillation ventriculaire et à l'arrêt du coeur, d'où une baisse du chiffre de la léthalité due aux maladies du système cardio-vasculaire.

REVENDEICATIONS

1.- Appareil pour contrôler l'activité cardiaque, comprenant un ensemble (1) de séparation des ondes d'un électrocardiosignal, un ensemble (2) de détermination des paramètres de l'électrocardiosignal, qui réagit
5 au signal en provenance de la sortie dudit ensemble (1) de séparation des ondes R de l'ECS et fournit à sa sortie (3) un premier signal lorsque la valeur absolue de la différence entre la durée du dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle entre
10 les ondes R de l'ECS qui le précède immédiatement est inférieure à un pourcentage déterminé de la durée du dernier intervalle apparu entre les ondes R de l'ECS, et un second signal lorsque la valeur absolue de la différence entre la durée du dernier intervalle apparu
15 entre les ondes R de l'ECS et celle de l'intervalle entre les ondes R de l'ECS qui le précède immédiatement est égale audit pourcentage déterminé de la durée du dernier intervalle apparu entre les ondes R de l'ECS ou supérieure à ce pourcentage déterminé de la durée du
20 dernier intervalle apparu entre les ondes R de l'ECS, et à sa sortie (4), un premier signal quand la durée du dernier intervalle apparu entre les ondes R de l'ECS est inférieure à celle de l'intervalle entre les ondes R de l'ECS qui le précède immédiatement, et un second
25 signal quand la durée du dernier intervalle apparu entre les ondes R de l'ECS est égale à celle de l'intervalle entre les ondes R de l'ECS qui le précède immédiatement, ou supérieure à cette durée de l'intervalle immédiatement précédent entre les ondes R de l'ECS, un
30 circuit logique (6) dont l'entrée (7) est reliée à la sortie (3) dudit ensemble (2) de détermination des paramètres de l'ECS et dont l'entrée (8) est reliée à la sortie (4) de cet ensemble (2) de détermination des paramètres de l'ECS, une mémoire (11) dont les entrées
35 sont reliées aux sorties dudit circuit logique (6), une unité d'affichage (12) qui compte et affiche les résultats

du contrôle de l'activité cardiaque, l'entrée de cette unité (12) étant reliée à la sortie du circuit logique (6), et un circuit synchronisant (13) dont l'entrée est reliée à la sortie dudit ensemble (2) de séparation des ondes (R) de l'ECS, tandis que sa sortie (14) est reliée à l'entrée de commande de l'ensemble (2) de détermination des paramètres de l'ECS, sa sortie (15), à l'entrée de commande de la mémoire (11), et sa sortie (16), à l'entrée de commande de l'unité d'affichage (12), caractérisé en ce que ledit ensemble (2) de détermination des paramètres de l'ECS est pourvu d'une sortie (5) à laquelle est formé un premier signal lorsque la différence entre la durée du dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle entre les ondes R de l'ECS qui précède immédiatement l'intervalle précédant immédiatement ledit intervalle apparu en dernier est inférieure à une valeur préétablie, et un second signal lorsque ladite différence entre la durée du dernier intervalle apparu entre les ondes R de l'ECS et celle de l'intervalle entre les ondes R de l'ECS qui précède immédiatement l'intervalle précédant immédiatement l'intervalle apparu en dernier est égale ou supérieure à ladite valeur préétablie, ledit circuit logique (6) étant en outre doté d'une entrée (9) et d'une pluralité d'entrées (10), ladite entrée (9) étant reliée à la sortie (15) de l'ensemble (2) de détermination des paramètres de l'ECS et ladite pluralité d'entrées (10) étant reliée à la sortie de la mémoire (11), les entrées de remise à zéro de l'ensemble (2) de détermination des paramètres de l'ECS, de la mémoire (11) et de l'unité d'affichage (12) étant reliées à un ensemble (17) de remise à l'état initial, le circuit logique (6) étant réalisé de telle sorte qu'il fournisse à ses sorties une première combinaison de signaux lorsque son entrée (7) est attaquée par le second signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le premier signal issu de la sortie (4) dudit ensemble (2) de détermination des

paramètres de l'ECS et que la mémoire contient le code enregistré correspondant à la première, à la troisième ou à la huitième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties

5 la même première combinaison de signaux lorsque son entrée (7) est attaquée par le premier signal en provenance de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient le code correspondant à la première, à la troisième ou à la

10 huitième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties une deuxième combinaison de signaux lorsque son entrée (7) est attaquée par le second signal de la sortie (3) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par

15 le second signal provenant de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, et que la mémoire (11) contient un code correspondant à la première, à la troisième ou à la huitième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse

20 à ses sorties une troisième combinaison de signaux lorsque son entrée (7) est attaquée par le second signal en provenance de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le premier signal provenant de la sortie

25 (4) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la septième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties une quatrième combinaison de signaux lorsque son entrée

30 (7) est attaquée par le second signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le second signal à partir de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS et que la

35 mémoire (11) contient un code correspondant à la sixième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties la même quatrième

combinaison de signaux lorsque son entrée (7) est attaquée par le second signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le second signal provenant de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la septième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties une cinquième combinaison de signaux lorsque son entrée (7) est attaquée par le second signal en provenance de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le second signal de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la quatrième ou à la cinquième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties la cinquième combinaison de signaux lorsque son entrée (7) est attaquée par le premier signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la quatrième ou à la cinquième combinaison de signaux aux sorties de circuit logique (6), qu'il fournisse à ses sorties une sixième combinaison de signaux lorsque son entrée (7) est attaquée par le second signal en provenance de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le premier signal de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la quatrième ou la cinquième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties une septième combinaison de signaux lorsque son entrée (7) est attaquée par le second signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le second signal provenant de la

sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la deuxième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses
5 sorties la septième combinaison de signaux lorsque son entrée (7) est attaquée par le premier signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la deuxième combinaison de signaux
10 aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties la septième combinaison de signaux lorsque son entrée (7) est attaquée par le second signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par
15 le premier signal de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (9) est attaquée par le second signal provenant de la sortie (5) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la deuxième combinaison de signaux aux
20 sorties de ce circuit logique (6) qu'il fournisse à ses sorties la septième combinaison de signaux lorsque son entrée (7) est attaquée par le premier signal en provenance de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient
25 un code correspondant à la septième combinaison de signaux aux sorties de ce circuit logique (6), qu'il fournisse à ses sorties la septième combinaison de signaux lorsqu'à son entrée (7) est appliquée le second signal provenant de la sortie (3) de l'ensemble (2) de détermination des
30 paramètres de l'ECS, qu'à son entrée (8) est appliqué le premier signal provenant de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la sixième combinaison de signaux aux sorties de ce circuit logique
35 (6), qu'il fournisse à ses sorties la même septième combinaison de signaux lorsqu'à son entrée (7) est

appliqué le premier signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la sixième combinaison de signaux aux sorties de ce circuit logique (6), et qu'il fournisse à ses sorties une huitième combinaison de signaux lorsque son entrée (7) est attaquée par le second signal de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (8) est attaquée par le premier signal de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, que son entrée (9) est attaquée par le premier signal de la sortie (5) de l'ensemble (2) de détermination des paramètres de l'ECS et que la mémoire (11) contient un code correspondant à la deuxième combinaison de signaux aux sorties de ce circuit logique (6), et en ce que l'unité d'affichage (12) est conçue de telle sorte qu'elle puisse afficher les extrasystoles en cas d'extrasystolie groupée, les extrasystoles uniques, les blocages ordinaires, les blocages dangereux, les extrasystoles en cas de bigéminie, et le rythme normal, l'extrasystole en cas d'extrasystolie groupée étant affichée lorsqu'aux sorties du circuit logique (6) est formée la première combinaison de signaux, l'extrasystole unique, lorsqu'aux sorties du circuit logique (6) est formée la troisième combinaison de signaux, le blocage ordinaire, lorsqu'aux sorties du circuit logique (6) est formée la quatrième combinaison de signaux, le blocage dangereux, lorsqu'aux sorties du circuit logique (6) est formée la cinquième combinaison de signaux, l'extrasystole en cas de bigéminie, lorsqu'aux sorties du circuit logique (6) est formée la huitième combinaison de signaux, et le rythme normal, lorsqu'aux sorties du circuit logique (6) est formée la septième combinaison de signaux.

2.- Appareil suivant la revendication 1, caractérisé en ce qu'il comporte un ensemble (18) de présélection des conditions initiales, susceptible d'être mis dans l'une quelconque de trois positions et ayant son entrée (19) reliée à la sortie (3) de l'ensemble (2) de détermination

des paramètres de l'ECS, son entrée (20), à la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, son entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial, sa sortie (21),
5 à l'entrée (7) du circuit logique (6), et sa sortie (22), à l'entrée (8) du circuit logique (6), de sorte que, quand cet ensemble (18) de présélection des conditions initiales est mis dans une première de ses trois positions il fournit à sa sortie (21) un signal identique au premier
10 signal présent à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et à sa sortie (22), un signal identique au premier signal à la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, si à l'entrée (19) est appliqué le premier signal en
15 provenance de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et à l'entrée (20), le premier signal provenant de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, ou si son entrée (19) est attaquée par le premier signal provenant
20 de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et son entrée (20), par le second signal en provenance de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, ou encore si son entrée (19) est attaquée par le second signal de la
25 sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et son entrée (20), par le premier signal de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, et ce, jusqu'à l'instant où son entrée (19) est pour la première fois attaquée par le
30 second signal de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et où son entrée (20) est en même temps attaquée par le second signal en provenance de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, après quoi ledit
35 ensemble (18) de présélection des conditions initiales forme à ses sorties (21, 22) des signaux analogues à ceux présents à ses entrées respectives (19, 20), que quand

ledit ensemble (18) de présélection des conditions initiales occupe un deuxième de ses trois positions, il délivre à sa sortie (21) un signal identique au premier signal présent à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et à sa sortie (22), un signal identique au premier signal à la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, si son entrée (19) est attaquée par le premier signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et son entrée (20), par le premier signal en provenance de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, ou si son entrée (19) est attaquée par le premier signal provenant de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et son entrée (20), par le second signal provenant de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, ou encore si son entrée (19) est attaquée par le second signal de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et son entrée (20), par le second signal de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, et ce, jusqu'à l'instant où son entrée (19) est pour la première fois attaquée par le second signal en provenance de la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et son entrée (20) est simultanément attaquée par le premier signal provenant de la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, après quoi cet ensemble (18) de présélection des conditions initiales fournit à ses sorties (21, 22) des signaux analogues à ceux présents à ses entrées respectives (19, 20), et que quand ledit ensemble (18) de présélection des conditions initiales est mis dans la troisième desdites trois positions, il forme à ses sorties (21, 22) des signaux identiques à ceux présents à ses entrées respectives (19, 20).

3.- Appareil suivant l'une des revendications 1 et 2, caractérisé en ce que ledit circuit logique (6) comporte

un circuit ET (45) dont une première entrée est reliée à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et dont une seconde entrée est reliée à la sortie (4) dudit ensemble (2) de détermination des paramètres de l'ECS ; un circuit ET (46) dont l'entrée non inverseuse est reliée à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS et dont l'entrée inverseuse est reliée à la sortie (4) dudit ensemble (2) de détermination des paramètres de l'ECS ; un circuit NON (68) dont l'entrée est reliée à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS ; un circuit ET (48) dont une première entrée est reliée à la sortie du circuit ET (46) ; un circuit ET (49) dont une première entrée est reliée à la sortie du circuit NON (68) ; un circuit ET (50) dont une première entrée est reliée à la sortie du circuit ET (45) ; un circuit ET (51) dont une première entrée est reliée à la sortie du circuit ET (46) ; un circuit ET (52) dont une première entrée est reliée à la sortie du circuit ET (46) ; un circuit ET (53) dont une première entrée est reliée à la sortie du circuit ET (45) ; un circuit ET (54) dont une première entrée est reliée à la sortie du circuit ET (45) ; un circuit ET (55) dont une première entrée est reliée à la sortie du circuit ET (45) ; un circuit ET (56) dont une première entrée est reliée à la sortie du circuit NON (68) ; un circuit ET (57) dont une première entrée est reliée à la sortie du circuit ET (46) ; un circuit ET (58) dont une première entrée est reliée à la sortie du circuit NON (68) ; un circuit ET (59) dont une première entrée est reliée à la sortie du circuit ET (45) ; un circuit ET (60) dont une première entrée est reliée à la sortie du circuit ET (46) ; un circuit ET (61) dont une première entrée est reliée à la sortie du circuit NON (68) ; un circuit ET (47) dont une première entrée est reliée à la sortie du circuit NON (68) ; un circuit ET (62) dont l'entrée inverseuse est reliée à la sortie (5) de l'ensemble (2) de détermination

des paramètres de l'ECS et dont l'entrée non inverseuse est reliée à la sortie du circuit ET (51) ; un circuit ET (63) dont une première entrée est reliée à la sortie (5) de l'ensemble (2) de détermination des paramètres de l'ECS et dont une seconde entrée est reliée à la sortie du circuit ET (51) ; un circuit OU (67) dont une première entrée est reliée à la sortie du circuit ET (48) et dont une seconde entrée est reliée à la sortie du circuit ET (49) ; un circuit OU (64) dont une première entrée est reliée à la sortie du circuit ET (53) et dont une seconde entrée est reliée à la sortie du circuit ET (54) ; un circuit OU (65) dont une première entrée est reliée à la sortie du circuit ET (55) et dont une seconde entrée est reliée à la sortie du circuit ET (56) ; un circuit OU (66) dont une première entrée est reliée à la sortie du circuit ET (58) , une seconde entrée, à la sortie du circuit ET (59), une troisième entrée, à la sortie du circuit ET (60), une quatrième entrée, à la sortie du circuit ET (61), une cinquième entrée, à la sortie du circuit ET (47), et une sixième entrée, à la sortie du circuit ET (63) ; en ce que la mémoire (11) comporte un circuit OU (69) dont une première entrée est reliée à la sortie du circuit OU (67), une deuxième entrée, à la sortie du circuit ET (52), et une troisième entrée, à la sortie du circuit ET (62) ; un circuit OU (70) dont une première entrée est reliée à la sortie du circuit OU (64), et une seconde entrée, à la sortie du circuit OU (65) ; une bascule (71) dont l'entrée d'information est reliée à la sortie du circuit OU (69), l'entrée de synchronisation, à la sortie (15) du circuit synchronisant (13), l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial, et la sortie, aux secondes entrées des circuits ET (48, 49, 50); une bascule (72) dont l'entrée d'information est reliée à la sortie dudit circuit ET (50), l'entrée de synchronisation, à la sortie (15) du circuit synchronisant (13), l'entrée de remise à zéro à la sortie de l'ensemble (17) de remise à l'état initial, et la sortie, aux secondes entrées

des circuits ET (51, 58, 59) ; une bascule (73) dont l'entrée d'information est reliée à la sortie du circuit OU (70), l'entrée de synchronisation, à la sortie (15) du circuit synchronisant (13), l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial, et la sortie, aux secondes entrées des circuits ET (55, 56, 57) ; une bascule (74) dont l'entrée d'information est reliée à la sortie du circuit ET (57), l'entrée de synchronisation, à la sortie (15) du circuit synchronisant (13), l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial, et la sortie, aux secondes entrées des circuits ET (53, 60, 61) ; et une bascule (75) dont l'entrée d'information est reliée à la sortie du circuit OU (66), l'entrée de synchronisation, à la sortie (15) du circuit synchronisant (13), l'entrée de mise à l'état, à la sortie de l'ensemble (17) de remise à l'état initial, et la sortie, aux secondes entrées des circuits ET (52, 54, 47) ; et en ce que l'unité d'affichage (12) comporte un circuit ET (76) dont une première entrée est reliée à la sortie du circuit OU (66), et une seconde entrée, à la sortie (16) du circuit synchronisant (13) ; un circuit ET (77) dont une première entrée est reliée à la sortie du circuit OU (67) et une seconde entrée, à la sortie (16) du circuit synchronisant (13), un circuit ET (78) dont une première entrée est reliée à la sortie du circuit ET (52), et une seconde entrée, à la sortie (16) du circuit synchronisant (13) ; un circuit ET (79) dont une première entrée est reliée à la sortie du circuit OU (64), et une seconde entrée, à la sortie (16) du circuit synchronisant (13) ; un circuit ET (80) dont une première entrée est reliée à la sortie du circuit OU (65), et une seconde entrée, à la sortie du circuit synchronisant (13) ; un circuit ET (81) dont une première entrée est reliée à la sortie du circuit ET (62), et une seconde entrée, à la sortie (16) du circuit synchronisant (13) ; un compteur (82) dont l'entrée de comptage est reliée à la sortie du circuit ET (77), et l'entrée de remise à zéro, à la sortie

de l'ensemble (17) de remise à l'état initial; un compteur (83) dont l'entrée de comptage est reliée à la sortie du circuit ET (88), et l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial; un compteur (84) dont l'entrée de comptage est reliée à la sortie du circuit ET (79), et l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial; un compteur (85) dont l'entrée de comptage est reliée à la sortie du circuit ET (80), et l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial; un compteur (86) dont l'entrée de comptage est reliée à la sortie du circuit ET (81), et l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état initial; un bloc (87) de commande d'indicateur dont l'entrée est reliée à la sortie du circuit ET (75); un bloc (88) de commande d'indicateur dont les entrées sont reliées aux sorties du compteur (82); un bloc (89) de commande d'indicateur dont les entrées sont reliées aux sorties du compteur (83); un bloc (90) de commande d'indicateur dont les entrées sont reliées aux sorties du compteur (84); un bloc (91) de commande d'indicateur dont les entrées sont reliées aux sorties du compteur (85); un bloc (92) de commande d'indicateur dont les entrées sont reliées aux sorties du compteur (86); un indicateur (93) pour l'affichage du rythme normal, dont les entrées sont reliées aux sorties du bloc (87) de commande d'indicateur; un indicateur (94) pour l'affichage du nombre d'extrasystoles en cas d'extrasystolies groupées, dont les entrées sont reliées aux sorties du bloc (88) de commande d'indicateur; un indicateur (95) pour l'affichage du nombre d'extrasystoles uniques, dont les entrées sont reliées aux sorties du bloc (89) de commande d'indicateur; un indicateur (96) pour l'affichage du nombre de blocages, dont les entrées sont reliées aux sorties du bloc (90) de commande d'indicateur; un indicateur (97)

pour l'affichage du nombre de blocages dangereux, dont les entrées sont reliées aux sorties du bloc (91) de commande d'indicateur; et un indicateur (98) pour l'affichage du nombre d'extrasystoles en cas de bigéminies, 5 dont les entrées sont reliées aux sorties du bloc (92) de commande d'indicateur.

4. Appareil suivant l'une des revendications 1, 2 et 3, caractérisé en ce que l'ensemble (18) de présélection des conditions initiales comprend un circuit 10 OU EXCLUSIF (100) dont une première entrée constitue l'entrée (19) dudit ensemble (18) de présélection des conditions initiales; un circuit OU EXCLUSIF (101) dont une première entrée constitue l'entrée (20) de l'ensemble (18) de présélection des conditions initiales; 15 un circuit OU-NON (102) dont une première et une seconde entrée sont respectivement reliées aux sorties des circuits OU EXCLUSIF (100, 101); un circuit NON (103) dont l'entrée est réunie la seconde entrée du circuit OU EXCLUSIF (100); un circuit OU (104) dont une première 20 entrée est reliée à la sortie inversée dudit circuit OU-NON (102) et dont une seconde entrée est reliée à la sortie inversée dudit circuit NON (103); un circuit ET (105) dont une première entrée est reliée à une première entrée du circuit OU EXCLUSIF (100), une seconde entrée, 25 à la sortie du circuit OU (104), et dont la sortie constitue la sortie (21) de l'ensemble (18) de présélection des conditions initiales; un circuit ET (106) dont une première entrée est reliée à une première entrée du circuit OU EXCLUSIF (101), une seconde entrée, à la sortie du circuit 30 OU (104), et dont la sortie constitue la sortie (22) de l'ensemble (18) de présélection des conditions initiales; une bascule (107) dont l'entrée de mise à l'état est reliée à la sortie du circuit OU (104), l'entrée de remise à zéro, à la sortie de l'ensemble (17) de remise à l'état 35 initial, et la sortie, à une troisième entrée du circuit OU (104); et un commutateur (99) qui, dans une première

- position, assure l'application à la seconde entrée du circuit OU EXCLUSIF (100) d'un signal identique au second signal présent à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et à la seconde entrée
- 5 du circuit OU EXCLUSIF (101), d'un signal identique au second signal à la sortie (4) de l'ensemble (2) de détermination des paramètres de l'ECS, tandis que, dans une deuxième position, ledit commutateur (99) assure l'application à la seconde entrée du circuit OU EXCLUSIF (100)
- 10 d'un signal identique au second signal présent à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS, et à la seconde entrée du circuit OU EXCLUSIF (101), d'un signal identique au premier signal présent à la sortie (4) de l'ensemble (2) de détermination des paramètres de
- 15 l'ECS, et que dans une troisième position ledit commutateur (99) assure l'application à l'entrée du circuit NON (103) d'un signal identique au premier signal à la sortie (3) de l'ensemble (2) de détermination des paramètres de l'ECS.
- 20 5. Appareil suivant l'une des revendications précédentes, caractérisé en ce qu'il comporte en outre un univibrateur (108) dont l'entrée est reliée à la sortie (113) du circuit synchronisant (13) et dont la sortie est reliée à une deuxième entrée dudit circuit synchronisant
- 25 (13); un générateur d'impulsions (109) dont l'entrée de déclenchement est reliée à la sortie (113) du circuit synchronisant (13), l'entrée d'arrêt, à la sortie dudit univibrateur (108), et la sortie, à la deuxième entrée d'information de l'ensemble (2) de détermination des
- 30 paramètres de l'ECS; une bascule (110) dont l'entrée d'information est reliée à la sortie (112) de l'ensemble (2) de détermination des paramètres de l'ECS, les entrées de mise à l'état et de synchronisation, aux sorties (14g et 14f) du circuit synchronisant (13), la sortie inversée,
- 35 à la seconde entrée de mise à zéro de la mémoire (11), et la sortie directe, à l'entrée d'autorisation de l'affichage

de l'unité d'affichage (12); et un indicateur de panne (111) dont l'entrée est reliée à la sortie inversée de la bascule (110).

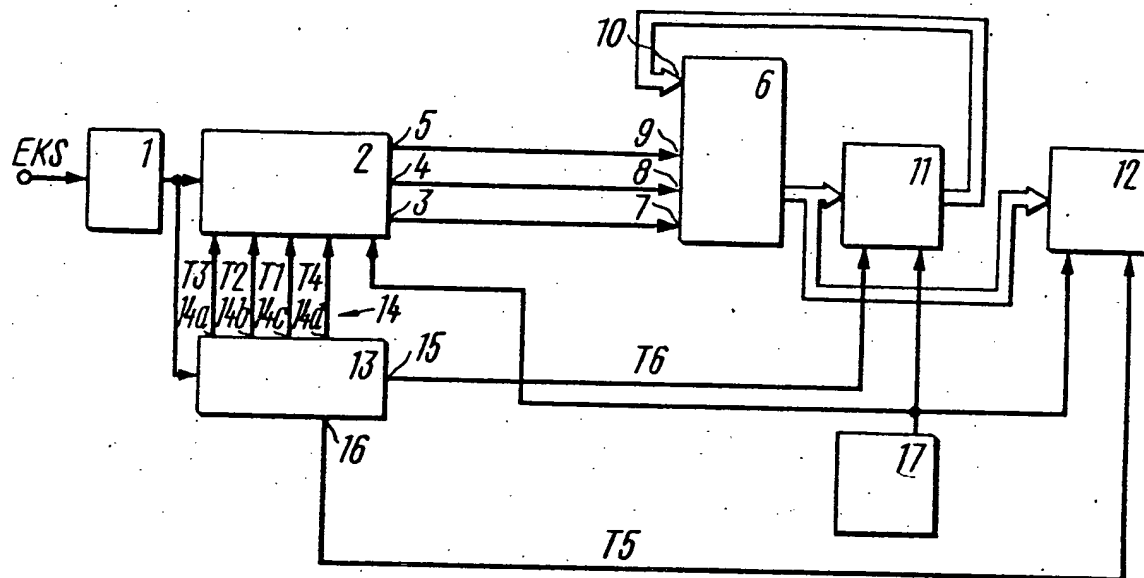


FIG. 1

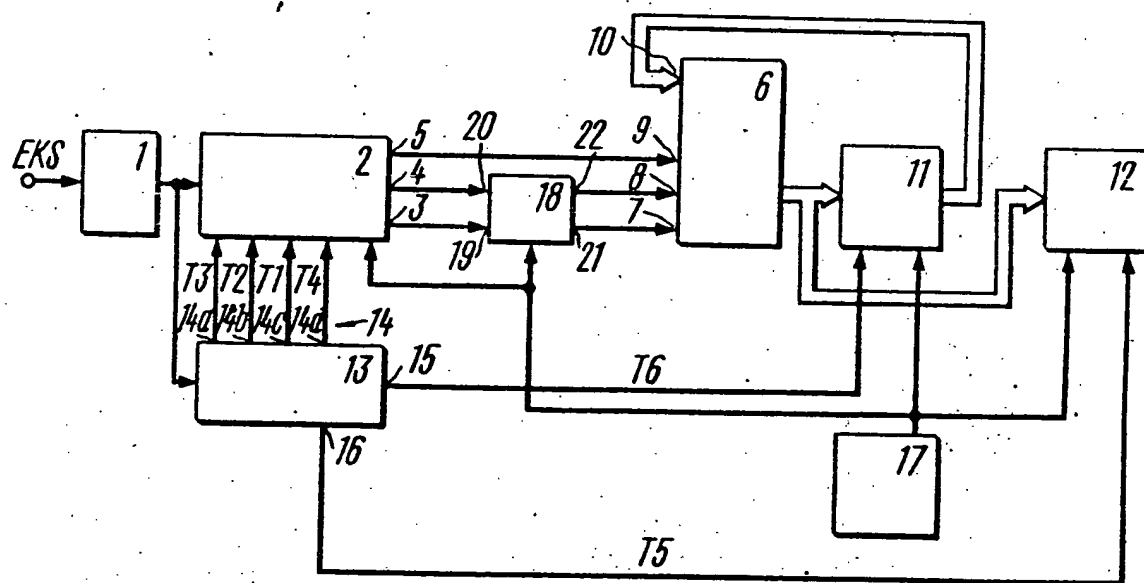


FIG. 2

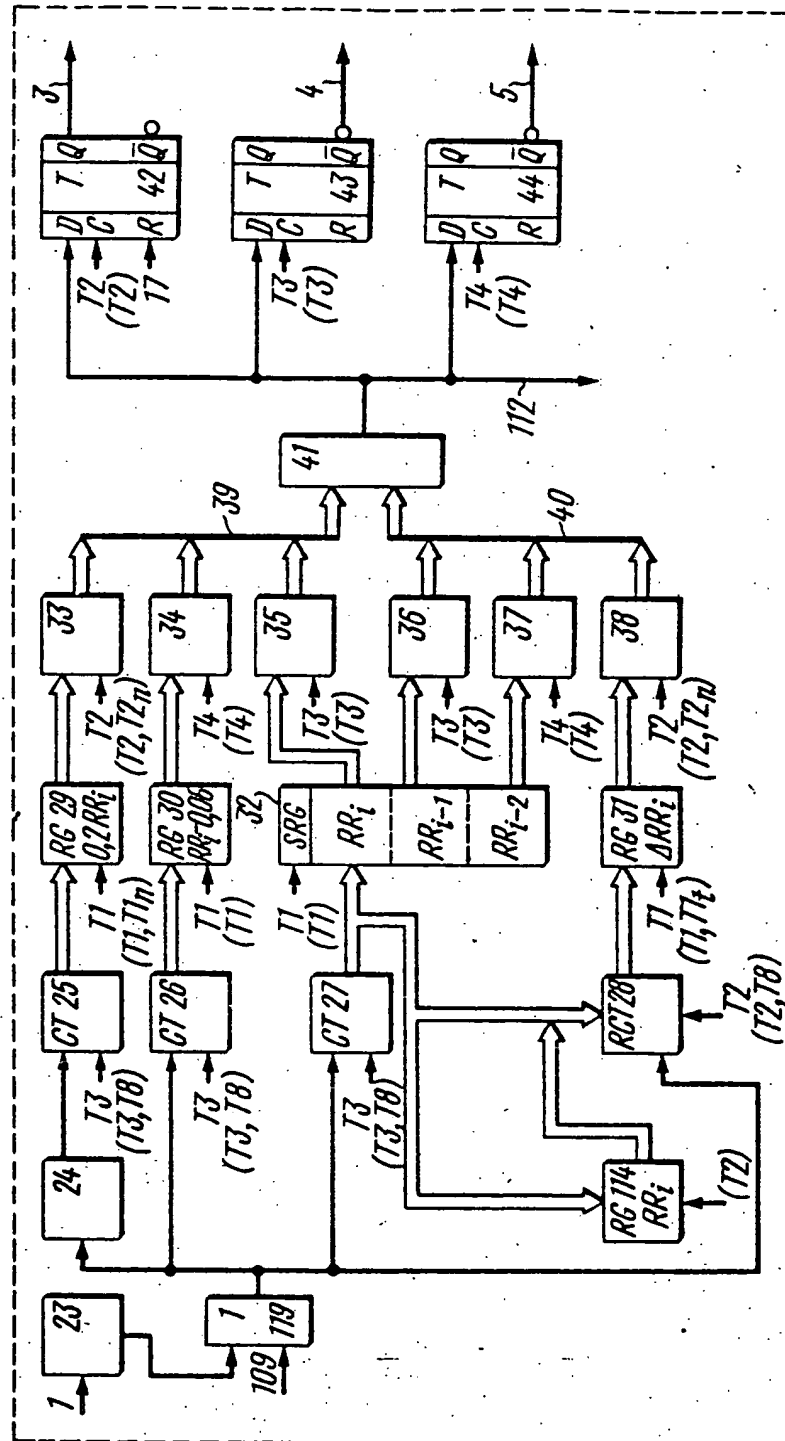
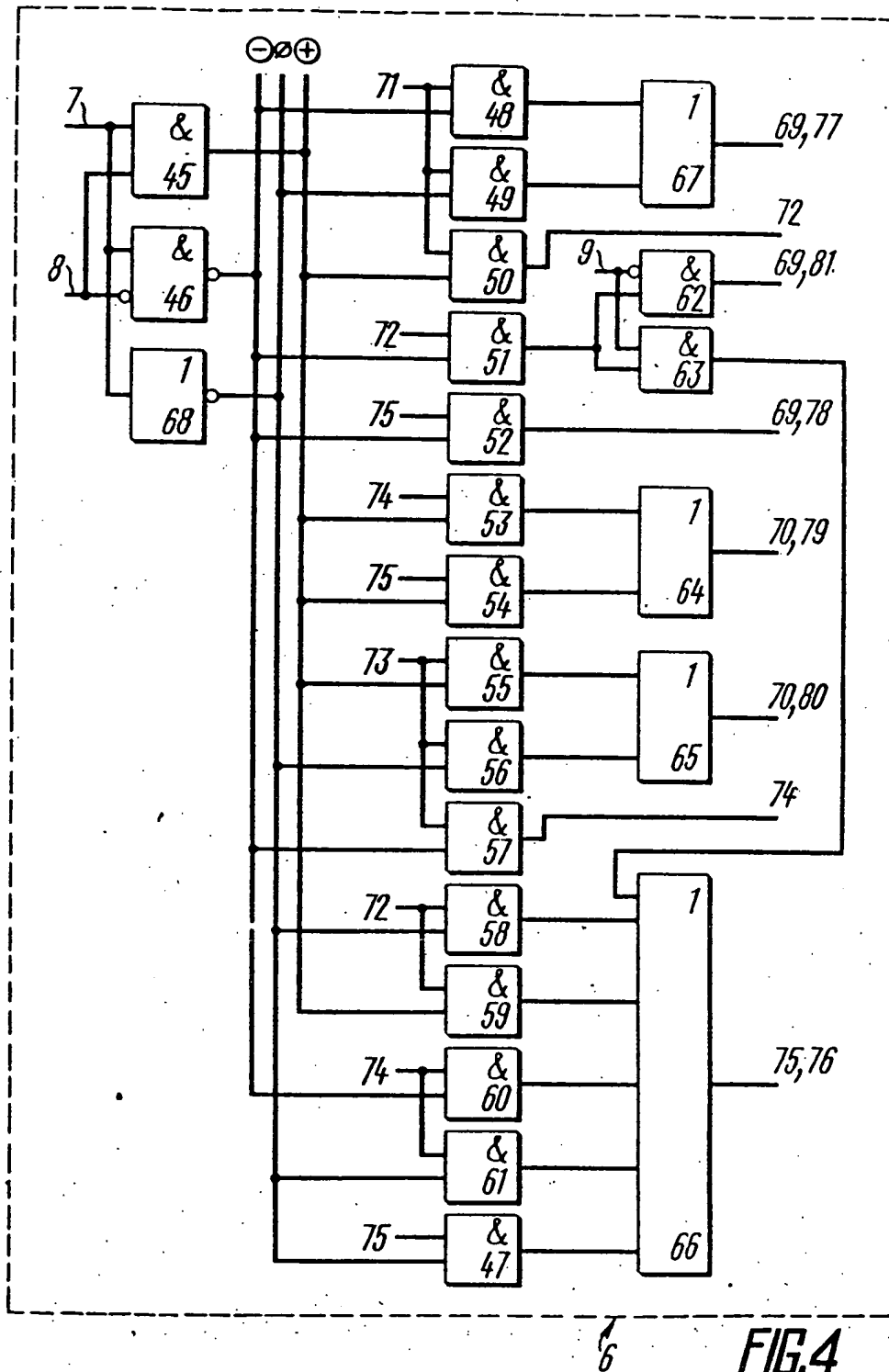


FIG. 3



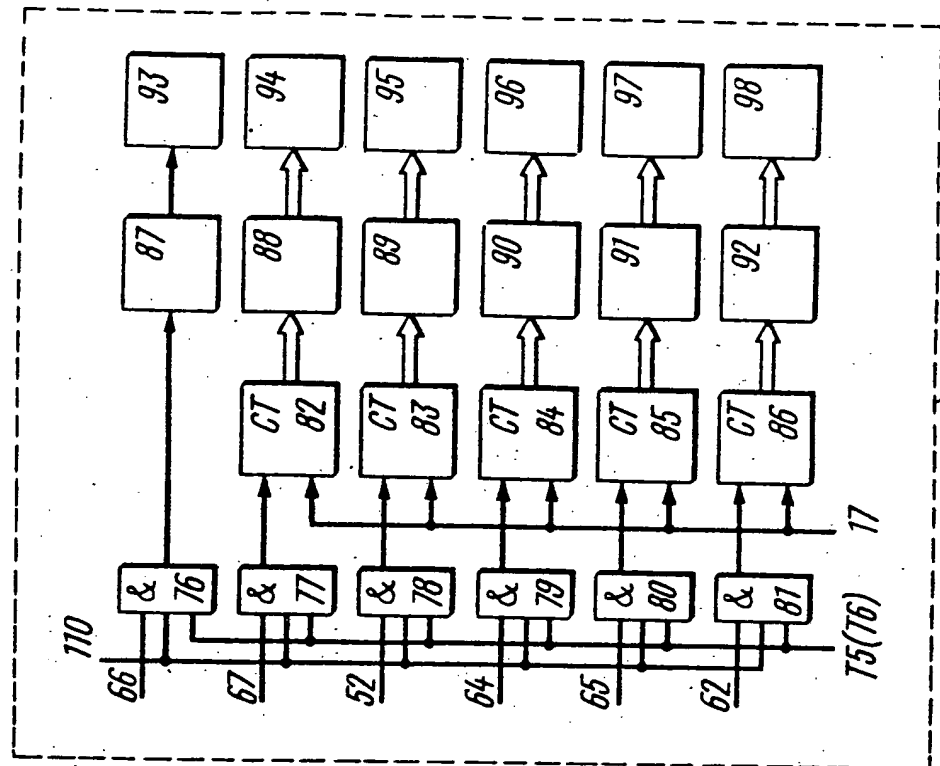


FIG. 5

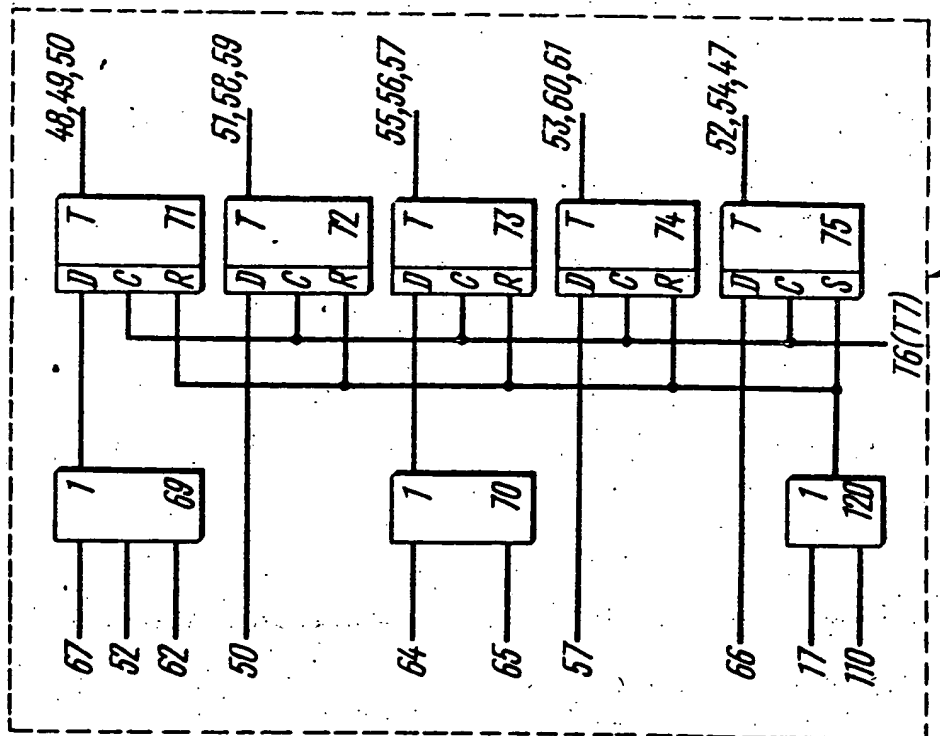


FIG. 6

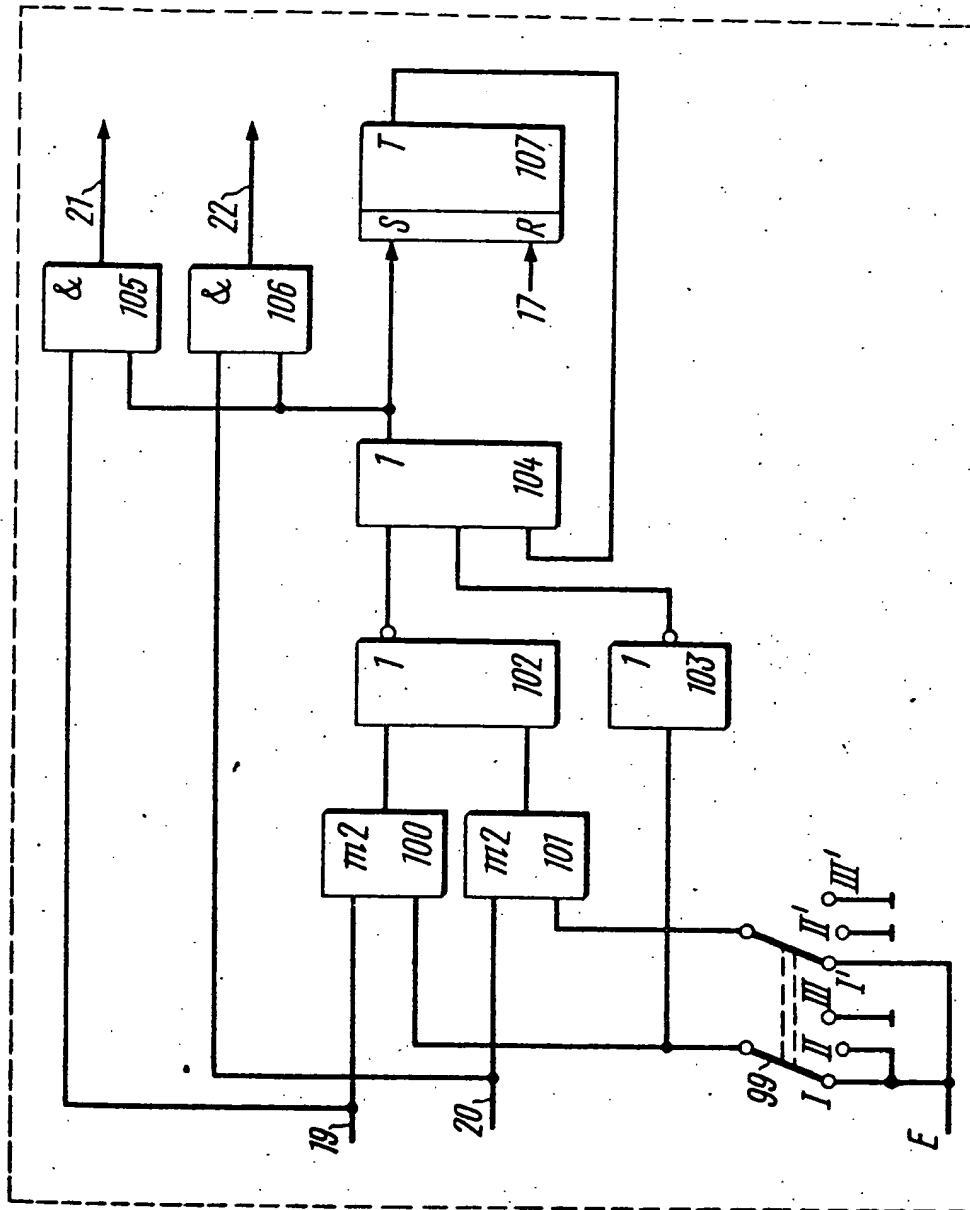


FIG. 7

18

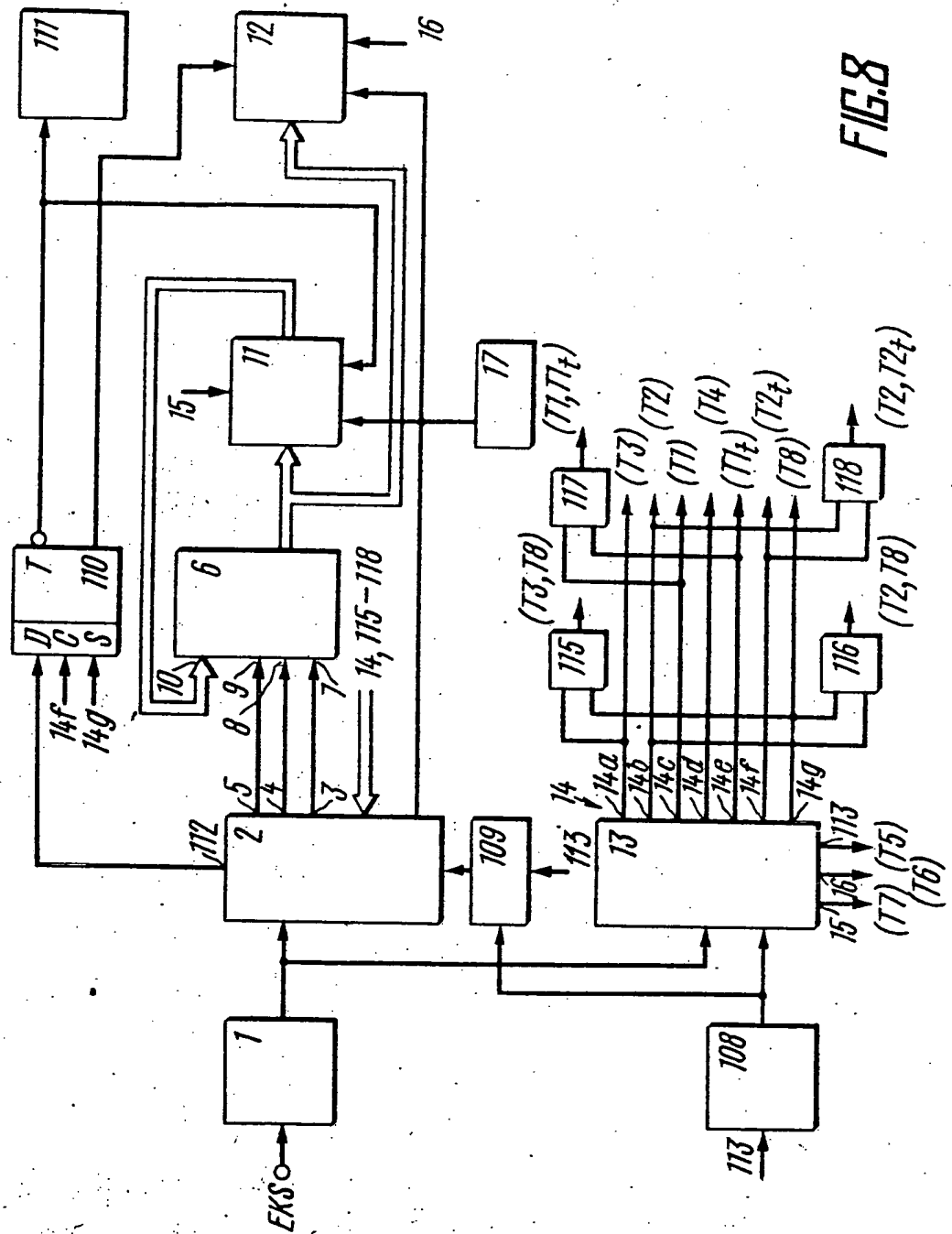
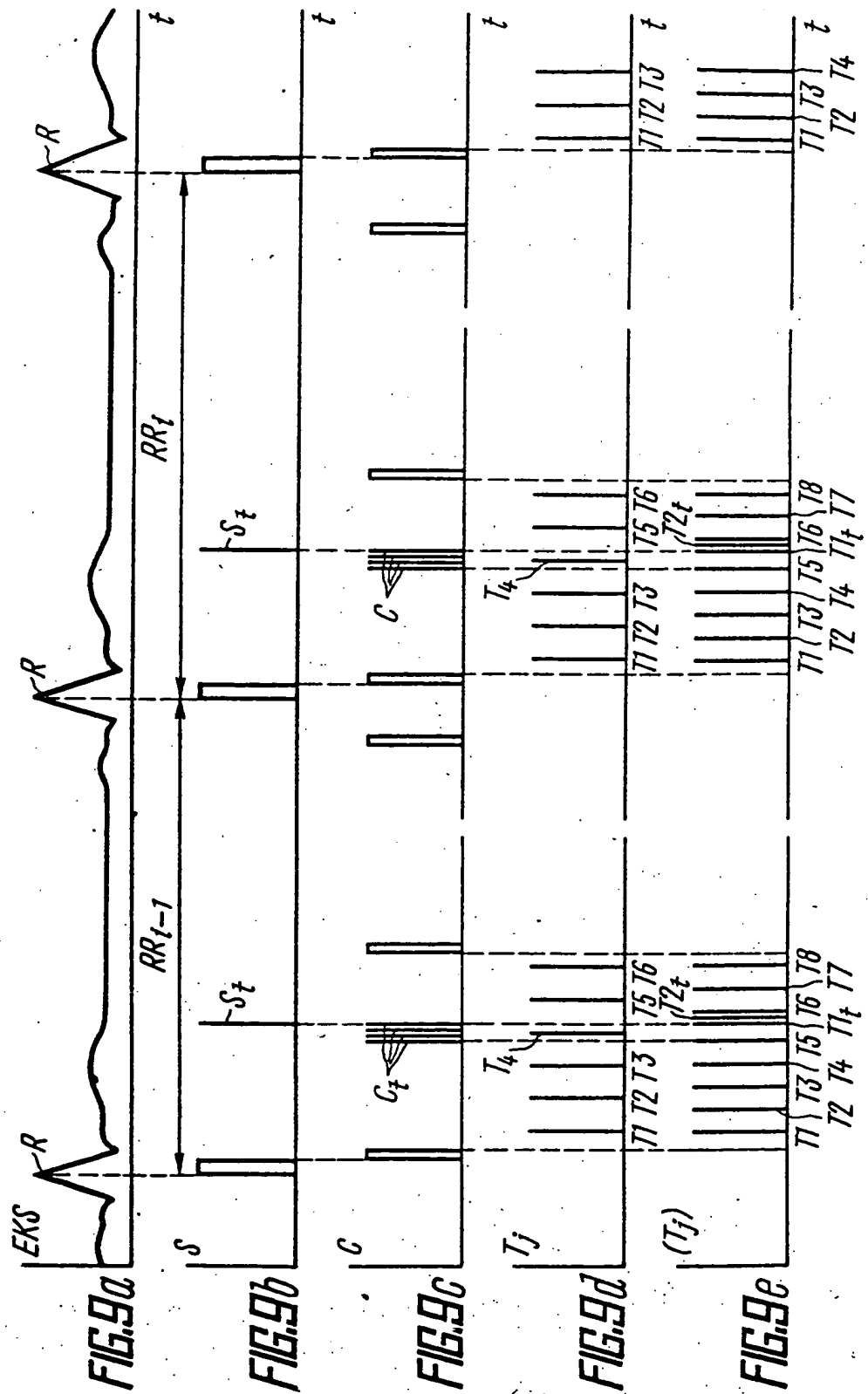


FIG. 8



	\ominus	\emptyset	\oplus	
71	$GE \rightarrow 71$	$GE \rightarrow 71$	$\rightarrow 72$	A
72	$(5) \rightarrow 816 \rightarrow 71$ $(6) \rightarrow N \rightarrow 75$	$N \rightarrow 75$	$N \rightarrow 75$	B
73	$\rightarrow 74$	$DB \rightarrow 73$	$DB \rightarrow 73$	C
74	$N \rightarrow 75$	$N \rightarrow 75$	$N \rightarrow 75$	D
75	$E \rightarrow 71$	$N \rightarrow 75$	$B \rightarrow 73$	E
	1	2	3	

FIG. 10

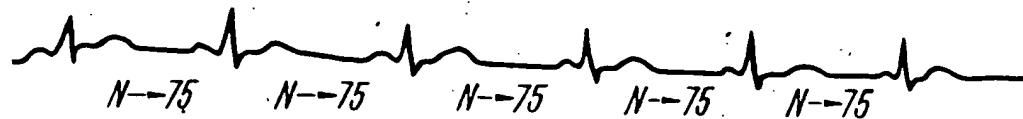


FIG. 11a

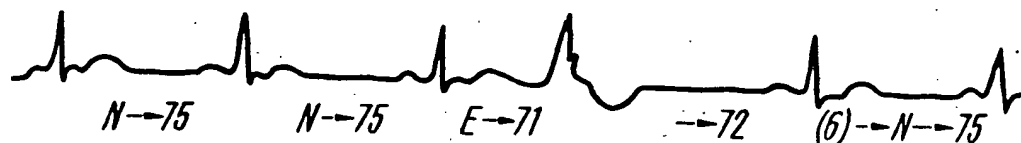


FIG. 11b



FIG. 11c

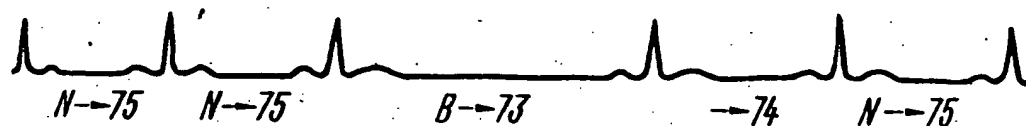


FIG. 11d

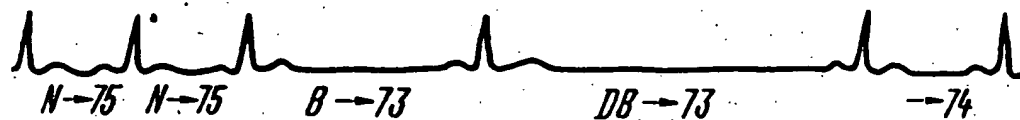


FIG. 11e



FIG. 11f

Unit Serial No: 014574

Version: 06.20

Network Address: 00:20:6b:38:38:ee

Network Topology: Ethernet

Connector: RJ45

Network Speed: 100 Megabits

Novell Network Information

enabled

Print Server Name: MLT_014574

Password Defined: No

Preferred File Server not defined

Directory Services Context not defined

Frame Type: 802.2 On 802.3

Peer-to-Peer Information

enabled

Frame Type: 802.2 On 802.3

Network ID: 0 h

TCP/IP Network Information

enabled

Frame Type: Ethernet II

Protocol Address: 192.168.1.221

Subnet Mask: 255.255.255.0

Default Gateway: 0.0.0.0

DNS Address: 0.0.0.0

WINS Name: Not Registered -

IPP Network Information

enabled

Internet Printing Protocol

http://192.168.1.221:631/nic/Print

AppleTalk Network Information

enabled

Frame Type: 802.2 SNAP On 802.3

Protocol Address: Net Number 65384

Node Number 224 Socket Number 129

Preferred AppleTalk Zone:

Default Zone

Preferred AppleTalk Type:

LaserWriter

Novell inactive

Peer-to-Peer Connection Information

Printer Name: MLT_014574

AppleTalk Connection Information

AppleTalk Printer Name: MLT_014574

TCP/IP Connection Information

Port Number : 10001

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.